

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

Publication number: JP2000208777

Publication date: 2000-07-28

Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI; HAMAYA TOSHIJI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: H01L27/08; G02F1/136; G02F1/1365; G02F1/1368;  
H01L21/336; H01L21/8238; H01L27/092; H01L29/786;  
H01L27/08; G02F1/13; H01L21/02; H01L21/70; H01L27/085;  
H01L29/66; (IPC1-7): H01L29/786; G02F1/1365; H01L21/336;  
H01L21/8238; H01L27/08; H01L27/092

- European:

Application number: JP19990311023 19991101

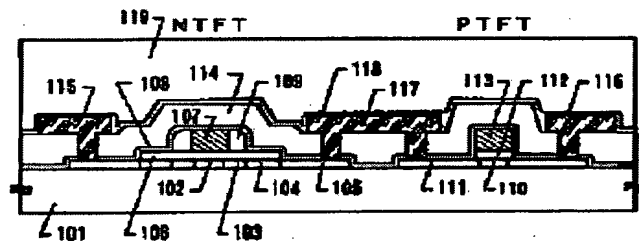
Priority number(s): JP19990311023 19991101; JP19980311633 19981102;  
JP19980336561 19981110

Report a data error here

**Abstract of JP2000208777**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device of high reliability by providing a structure such that the impurity concentration is higher receding from a channel formation region (as farther away from the channel formation region).

**SOLUTION:** The active layer of NTFT is formed of a channel forming region 102, first impurity region 103, second impurity region 104, and third impurity region 105. Here, the impurity concentration of each impurity region is set higher receding from the channel formation region 102. Furthermore, the first impurity region 102 is provided so as to overlap a sidewall 108, providing a substantial gate overlap structure with the sidewall 108 functioning as an electrode.



Data supplied from the esp@cenet database - Worldwide

## Family list

9 family members for: JP2000208777  
Derived from 6 applications

[Back to JP2000208777](#)

- 1 Semiconductor device and manufacturing method therefor**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/84; H01L27/12 **IPC:** H01L21/84; H01L27/12; G02F1/1362 (+8)  
**Publication info:** EP0999595 A2 - 2000-05-10  
EP0999595 A3 - 2000-06-21
- 2 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** YAMAZAKI SHUNPEI; OTANI HISASHI; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** **IPC:** H01L27/08; G02F1/136; G02F1/1365 (+17)  
**Publication info:** JP2000208777 A - 2000-07-28
- 3 Semiconductor device and manufacturing method therefor**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)  
**EC:** H01L21/84; H01L27/12 **IPC:** H01L21/84; H01L27/12; G02F1/1362 (+6)  
**Publication info:** US6274887 B1 - 2001-08-14
- 4 Semiconductor device and manufacturing method therefor**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+1) **Applicant:**  
**EC:** H01L21/84; H01L27/12 **IPC:** H01L21/84; H01L27/12; G02F1/1362 (+7)  
**Publication info:** US6784037 B2 - 2004-08-31  
US2003207502 A1 - 2003-11-06
- 5 Semiconductor device and manufacturing method therefor**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/84; H01L27/12 **IPC:** H01L21/84; H01L27/12; G02F1/1362 (+9)  
**Publication info:** US6977394 B2 - 2005-12-20  
US2003155573 A1 - 2003-08-21
- 6 Semiconductor device and manufacturing method therefor**  
**Inventor:** YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L21/84; H01L27/12; (+2) **IPC:** H01L29/04; H01L29/02; (IPC1-7): H01L29/04  
**Publication info:** US2005205868 A1 - 2005-09-22

---

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208777

(P2000-208777A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 A
	21/336		3 3 1 E
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 C
	27/092		6 1 3 A

審査請求 未請求 請求項の数38 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願平11-311023

(22) 出願日 平成11年11月1日 (1999.11.1)

(31) 優先権主張番号 特願平10-311633

(32) 優先日 平成10年11月2日 (1998.11.2)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-336561

(32) 優先日 平成10年11月10日 (1998.11.10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 濱谷 敏次

神奈川県厚木市長谷398番地 株式会社半

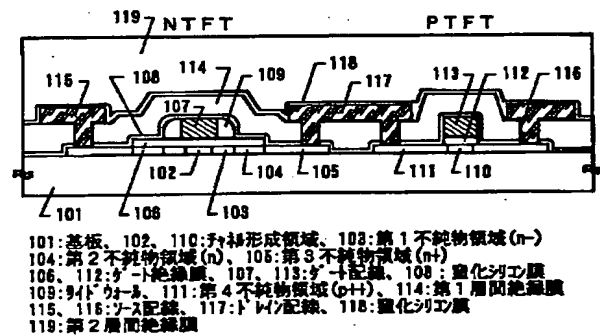
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 信頼性の高い半導体装置を実現する。

【解決手段】 NTFTの活性層をチャネル形成領域102、第1不純物領域103、第2不純物領域104及び第3不純物領域105で形成する。この時、各不純物領域の不純物濃度はチャネル形成領域102から遠くなるほど高くなるように設けられる。さらに、第1不純物領域102はサイドウォール108と重なるように配置され、サイドウォール108を電極として機能させることで実質的なゲートオーバーラップ構造を実現する。



## 【特許請求の範囲】

【請求項 1】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する TFT を含む半導体装置であって、前記活性層は、チャンネル形成領域及び異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域を含み、前記少なくとも三種類の不純物領域のうち、前記チャンネル形成領域と接する不純物領域は、前記絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

【請求項 2】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する TFT を含む半導体装置であって、前記活性層は、チャンネル形成領域、第 1 不純物領域、第 2 不純物領域及び第 3 不純物領域の順に並んだ構造を有し、前記第 1 不純物領域、前記第 2 不純物領域及び前記第 3 不純物領域は各々異なる濃度で同一の不純物を含み、前記第 1 不純物領域は前記絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

【請求項 3】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する TFT を含む半導体装置であって、前記活性層は、チャンネル形成領域及び異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、前記少なくとも三種類の不純物領域は、前記チャンネル形成領域からの距離が遠いほど前記不純物の濃度が高いことを特徴とする半導体装置。

【請求項 4】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する TFT を含む半導体装置であって、前記活性層は、チャンネル形成領域、第 1 不純物領域、第 2 不純物領域、第 3 不純物領域の順に並んだ構造を有し、前記第 1 不純物領域、前記第 2 不純物領域及び前記第 3 不純物領域は各々異なる濃度で同一の不純物を含み、前記不純物の濃度は、前記第 1 不純物領域よりも前記第 2 不純物領域の方が高く、前記第 2 不純物領域よりも前記第 3 不純物領域の方が高いことを特徴とする半導体装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれか一において、前記チャンネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が  $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  の濃度で存在することを特徴とする半導体装置。

【請求項 6】請求項 5 において、前記触媒元素とは Ni、Ge、Co、Fe、Pd、Sn、Pb、Pt、Cu、Au または Si から選ばれた一種または複数種の元素であることを特徴とする半導体装置。

【請求項 7】請求項 1 乃至請求項 4 のいずれか一において、前記配線の少なくとも一部は窒化シリコン膜に覆われていることを特徴とする半導体装置。

【請求項 8】請求項 1 乃至請求項 4 のいずれか一において、前記サイドウォールは導電性を有することを特徴とする半導体装置。

【請求項 9】請求項 1 乃至請求項 4 のいずれか一において、前記サイドウォールはシリコンを主成分とする材料で形成されていることを特徴とする半導体装置。

10 【請求項 10】請求項 2 または請求項 4 において、前記絶縁膜は前記チャンネル形成領域、前記第 1 不純物領域及び前記第 2 不純物領域に接して設けられていることを特徴とする半導体装置。

【請求項 11】請求項 2 または請求項 4 において、前記第 1 不純物領域に含まれる前記不純物の濃度は  $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$  であり、前記第 2 不純物領域に含まれる前記不純物の濃度は  $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  であることを特徴とする半導体装置。

20 【請求項 12】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する NTFT 並びに活性層及び該活性層の上に絶縁膜を介して設けられた配線を有する PTFT で形成された CMOS 回路を含む半導体装置であって、前記 NTFT の活性層は、チャンネル形成領域及び異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、前記少なくとも三種類の不純物領域のうち、前記チャンネル形成領域と接する不純物領域は、前記絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

30 【請求項 13】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する NTFT 並びに活性層及び該活性層の上に絶縁膜を介して設けられた配線を有する PTFT で形成された CMOS 回路を含む半導体装置であって、前記 NTFT の活性層は、チャンネル形成領域、第 1 不純物領域、第 2 不純物領域及び第 3 不純物領域の順に並んだ構造を有し、

40 前記第 1 不純物領域、前記第 2 不純物領域及び前記第 3 不純物領域は各々異なる濃度で同一の不純物を含み、前記第 1 不純物領域は前記絶縁膜を介して前記サイドウォールと重なっていることを特徴とする半導体装置。

【請求項 14】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する NTFT 並びに活性層及び該活性層の上に絶縁膜を介して設けられた配線を有する PTFT で形成された CMOS 回路を含む半導体装置であって、前記 NTFT の活性層は、チャンネル形成領域及び異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠いほど前記不純物の濃度が高いことを特徴とする半導体装置。

【請求項 15】活性層、該活性層の上に絶縁膜を介して設けられた配線及び該配線の側部に設けられたサイドウォールを有する NTFT 並びに活性層及び該活性層の上に絶縁膜を介して設けられた配線を有する PTFT で形成された CMOS 回路を含む半導体装置であって、前記 NTFT の活性層は、チャネル形成領域、第 1 不純物領域、第 2 不純物領域及び第 3 不純物領域の順に並んだ構造を有し、前記第 1 不純物領域、前記第 2 不純物領域及び前記第 3 不純物領域は各々異なる濃度で同一の不純物を含み、前記不純物の濃度は、前記第 1 不純物領域よりも前記第 2 不純物領域の方が高く、前記第 2 不純物領域よりも前記第 3 不純物領域の方が高いことを特徴とする半導体装置。

【請求項 16】請求項 11 乃至請求項 14 のいずれかにおいて、前記チャネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が  $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  の濃度で存在することを特徴とする半導体装置。

【請求項 17】請求項 15 において、前記触媒元素とは Ni、Ge、Co、Fe、Pd、Sn、Pb、Pt、Cu、Au または Si から選ばれた一種または複数種の元素であることを特徴とする半導体装置。

【請求項 18】請求項 11 乃至請求項 14 のいずれかにおいて、前記配線の少なくとも一部は窒化シリコン膜に覆われていることを特徴とする半導体装置。

【請求項 19】請求項 11 乃至請求項 14 のいずれかにおいて、前記 PTFT の活性層は、チャネル形成領域及び前記チャネル形成領域を挟む第 4 不純物領域で形成されていることを特徴とする半導体装置。

【請求項 20】請求項 11 乃至請求項 14 のいずれかにおいて、前記サイドウォールは導電性を有することを特徴とする半導体装置。

【請求項 21】請求項 11 乃至請求項 14 のいずれかにおいて、前記サイドウォールはシリコンを主成分とする材料で形成されていることを特徴とする半導体装置。

【請求項 22】請求項 12 または請求項 14 において、前記絶縁膜は前記チャネル形成領域、前記第 1 不純物領域及び前記第 2 不純物領域に接して設けられていることを特徴とする半導体装置。

【請求項 23】請求項 12 または請求項 14 において、前記第 1 不純物領域に含まれる前記不純物の濃度は  $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$  であり、前記第 2 不純物領域に含まれる前記不純物の濃度は  $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  であることを特徴とする半導体装置。

【請求項 24】請求項 1 乃至請求項 22 のいずれかにおいて、前記 TFT に液晶素子が電気的に接続されてい

ることを特徴とする電気光学装置。

【請求項 25】請求項 1 乃至請求項 22 のいずれかにおいて、前記 TFT に EL 素子が電気的に接続されていることを特徴とする電気光学装置。

【請求項 26】請求項 23 または請求項 24 に記載の電気光学装置を用いたことを特徴とする電子機器。

【請求項 27】基板上に活性層を形成する第 1 工程と、前記活性層の上に絶縁膜を形成する第 2 工程と、前記活性層の上に前記絶縁膜を介して配線を形成する第 3 工程と、

前記配線をマスクとして、前記活性層に周期表の 15 族に属する元素を添加する第 4 工程と、

前記配線の側部にサイドウォールを形成する第 5 工程と、

前記配線及び前記サイドウォールをマスクとして、前記活性層に周期表の 15 族に属する元素を添加する第 6 工程と、

前記絶縁膜の一部を除去し、前記活性層の一部を露呈させる第 7 工程と、

20 前記第 7 工程で露呈した活性層に周期表の 15 族に属する元素を添加する第 8 工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 28】基板上に第 1 活性層と第 2 活性層を形成する第 1 工程と、

前記第 1 活性層及び前記第 2 活性層の上に絶縁膜を形成する第 2 工程と、

前記第 1 活性層及び前記第 2 活性層の上に前記絶縁膜を介して配線を形成する第 3 工程と、

30 前記配線をマスクとして、前記第 1 活性層及び前記第 2 活性層に周期表の 15 族に属する元素を添加する第 4 工程と、

前記配線の側部にサイドウォールを形成する第 5 工程と、

前記配線及び前記サイドウォールをマスクとして、前記第 1 活性層及び前記第 2 活性層に周期表の 15 族に属する元素を添加する第 6 工程と、

前記絶縁膜の一部を除去し、前記第 1 活性層の一部を露呈させる第 7 工程と、

前記第 7 工程で露呈した前記第 1 活性層に周期表の 15 族に属する元素を添加する第 8 工程と、

40 前記絶縁膜の一部を除去し、前記第 2 活性層の一部を露呈させる第 9 工程と、

前記第 9 工程で露呈した前記第 2 活性層に周期表の 13 族に属する元素を添加する第 10 工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 29】基板上に触媒元素を用いて結晶を含む半導体膜を形成する第 1 工程と、

前記結晶を含む半導体膜をパターンニングして活性層を形成する第 2 工程と、

50 前記活性層の上に絶縁膜を形成する第 3 工程と、

## 5

前記活性層の上に前記絶縁膜を介して配線を形成する第4工程と、  
前記配線をマスクとして、前記活性層に周期表の15族に属する元素を添加する第5工程と、  
前記配線の側部にサイドウォールを形成する第6工程と、

前記配線及び前記サイドウォールをマスクとして、前記活性層に周期表の15族に属する元素を添加する第7工程と、

前記絶縁膜の一部を除去し、前記活性層の一部を露呈させる第8工程と、

前記第8工程で露呈した活性層に周期表の15族に属する元素を添加する第9工程と、

熱処理により、前記第9工程で周期表の15族に属する元素が添加された領域に前記触媒元素を移動させる第10工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項30】基板上に触媒元素を用いて結晶を含む半導体膜を形成する第1工程と、

前記結晶を含む半導体膜をパターンニングして第1活性層及び第2活性層を形成する第2工程と、

前記第1活性層及び前記第2活性層の上に絶縁膜を形成する第3工程と、

前記第1活性層及び前記第2活性層の上に前記絶縁膜を介して配線を形成する第4工程と、

前記配線をマスクとして、前記第1活性層及び前記第2活性層に周期表の15族に属する元素を添加する第5工程と、

前記配線の側部にサイドウォールを形成する第6工程と、

前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に周期表の15族に属する元素を添加する第7工程と、

前記絶縁膜の一部を除去し、前記第1活性層の一部及び前記第2活性層の一部を露呈させる第8工程と、

前記第8工程で露呈した前記第1活性層及び前記第2活性層に周期表の15族に属する元素を添加する第9工程と、

前記第1活性層をレジストマスクで覆い、前記第2活性層の一部に周期表の13族に属する元素を添加する第10工程と、

熱処理により、前記第8工程で前記周期表の15族に属する元素が添加された領域に前記触媒元素を移動させる第11工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項31】請求項26または請求項28において、前記活性層にはチャネル形成領域及び異なる濃度で前記周期表の15族に属する元素を含む少なくとも三種類の不純物領域とが形成されることを特徴とする半導体装置の作製方法。

## 6

【請求項32】請求項26または請求項28において、前記活性層にはチャネル形成領域及び異なる濃度で前記周期表の15族に属する元素を含む第1不純物領域、第2不純物領域及び第3不純物領域が形成されることを特徴とする半導体装置の作製方法。

【請求項33】請求項27または請求項29において、前記第1活性層にはチャネル形成領域及び異なる濃度で前記周期表の15族に属する元素を含む少なくとも三種類の不純物領域が形成され、

前記第2活性層にはチャネル形成領域及び第4不純物領域が形成されることを特徴とする半導体装置の作製方法。

【請求項34】請求項27または請求項29において、前記第1活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、前記第2活性層にはチャネル形成領域及び第4不純物領域が形成されることを特徴とする半導体装置の作製方法。

【請求項35】請求項31または請求項33のいずれか一において、前記サイドウォールは前記第1不純物領域の上方に形成されることを特徴とする半導体装置の作製方法。

【請求項36】請求項31または請求項33において、前記周期表の15族に属する元素の濃度は、前記第1不純物領域よりも前記第2不純物領域の方が高く、且つ、前記第2不純物領域よりも前記第3不純物領域の方が高くなるように添加されることを特徴とする半導体装置の作製方法。

【請求項37】請求項26乃至請求項35において、前記サイドウォールは導電性を有する材料で形成されることを特徴とする半導体装置の作製方法。

【請求項38】請求項26乃至請求項35において、前記サイドウォールはシリコンを主成分とする材料で形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置に関する。例えば、液晶表示装置やEL表示装置に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0002】

【従来の技術】近年、ポリシリコン膜を利用したTFTで回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0003】この様なアクティブマトリクス型液晶表示装置は、解像度がXGA、SXGAと高精細になるに従い、画素数だけでも100万個を超えるようになる。そしてその全てを駆動するためのドライバー回路は非常に複雑かつ多くのTFTによって形成される。

【0004】実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバーともに高い信頼性が確保されなければならない。特に、ドライバー回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良を招くことにつながる。

【0005】ところが、ポリシリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【0006】本出願人は、MOSFETには信頼性の面で三つの有利点があると考えた。そしてその理由として次のような推論をした。図2（A）に示したのはMOSFETの概略図である。201は単結晶シリコン基板上に形成されたドレイン領域、202はLDD（ライトドープドレイン）領域である。また、203はフィールド絶縁膜であり、ゲート配線204の直下はゲート絶縁膜205である。

【0007】この時、信頼性の面で三つの有利点があると考えた。まず第1の有利点は、LDD領域202からドレイン領域201に向かって不純物濃度に勾配がみられる点である。図2（B）に示すように、従来のMOSFETはLDD領域202からドレイン領域201に向かうにつれて次第に不純物濃度が高くなる。この勾配が信頼性を高めるのに効果があると考えた。

【0008】次に第2の有利点は、LDD領域202とゲート配線204とがオーバーラップしている点である。この構造はGOLD（gate-drain overlapped LDD）やLATID（large-tilt-angle implanted drain）などが知られている。こうすることでLDD領域202の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性が高まる。

【0009】次に第3の有利点は、LDD領域202とゲート配線204との間にある程度の距離が存在する点である。これはフィールド絶縁膜203がゲート配線直下に潜り込むような形で形成されることによる。即ち、オーバーラップ部分のみゲート絶縁膜の膜厚が厚くなった状態となるので、効果的な電界緩和が期待できる。

【0010】このように、従来のMOSFETはTFTと比較するといくつかの有利点を持ち、その結果、高い信頼性を有すると考えられる。

【0011】また、こういったMOSFETの利点をTFTに応用しようという試みもなされている。例えば、

「M. Hatano, H. Akimoto, and T. Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」ではシリコンで形成したサイドウォールを用いてGOLD構造を実現している。

【0012】しかしながら、同論文に公開された構造では通常のLDD構造に比べてオフ電流（TFTがオフ状態にある時に流れる電流）が大きくなってしまおうという問題があり、そのための対策が必要であった。

【0013】

【発明が解決しようとする課題】以上示してきたように、本出願人はTFTとMOSFETとを比較した時に、TFTの構造上の問題が信頼性（特にホットキャリア耐性）に影響していると考えた。

【0014】本願発明はそのような問題点を克服するための技術であり、MOSFETと同等またはそれ以上の信頼性を誇るTFTを実現することを課題とする。そして、そのようなTFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【0015】

【課題を解決するための手段】本願発明のNTFTの活性層は、チャネル形成領域以外に少なくとも三つの異なる不純物濃度を有する三つの不純物領域を含む点に第1の特徴がある。こうすることによって、チャネル形成領域から遠ざかるにつれて（チャネル形成領域からの距離が遠いほど）不純物濃度が次第に高くなるようなLDD構造が得られる。即ち、ドレイン端（ドレインとチャネル形成領域との境界近傍）での電界緩和によりTFTの信頼性を高めることが可能である。

【0016】本出願人の意図するところは、従来例に述べたようなMOSFETにみられるLDD部での濃度勾配を、複数の不純物領域で意図的に形成することにある。従って、不純物領域が三つ以上存在しても構わない。

【0017】また、本願発明の第2の特徴はゲート配線（ゲート電極も含む）がゲート絶縁膜を介してLDD領域の少なくとも一部に重なる（オーバーラップする）ような状態で形成される点にある。このような構造の場合、ホットキャリアによる劣化を効果的に抑制することができる。

【0018】また、本願発明の第3の特徴は、上記第1の特徴及び第2特徴を組み合わせる相乗効果によりTFTの信頼性を高めることができる点にある。

【0019】

【発明の実施の形態】本願発明の一実施形態について図1を用いて説明する。なお、図1では断面図を示し、上面からみた図を図14に示す。図1において、101は絶縁表面を有する基板である。例えば酸化シリコン膜を設けたガラス基板、石英基板、ステンレス基板、金属基板、セラミックス基板またはシリコン基板を用いることができる。

【0020】本願発明の特徴は、Nチャネル型TFT（以下、NTFTという）の活性層の構成にある。NTFTの活性層は、チャネル形成領域102、一对の第1不純物領域103、一对の第2不純物領域104及び一对の第3不純物領域105を含んで形成されている。なお、各不純物領域に添加されている不純物とは周期表の15族に属する元素（代表的にはリン又は砒素）である。

【0021】この時、チャネル形成領域102は真性半導体層又は $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でボロンが添加された半導体層となる。ボロンはしきい値電圧の制御用やバンスルー防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。その場合も濃度はボロンと同程度に添加される。

【0022】なお、本願発明で用いることのできる半導体層とはシリコン、ゲルマニウム、又はシリコンゲルマニウムなど、シリコンを主成分とする半導体層だけでなく、ガリウム砒素などの化合物半導体層を用いることも可能である。また、本願発明は活性層に非晶質半導体（アモルファスシリコンなど）を用いたTFTにも結晶を含む半導体（単結晶半導体薄膜、多結晶半導体薄膜、微結晶半導体薄膜を含む）を用いたTFTにも適用できる。

【0023】また、NTFTの第1不純物領域103は $0.1 \sim 1 \mu\text{m}$ （代表的には $0.1 \sim 0.5 \mu\text{m}$ 、好ましくは $0.1 \sim 0.2 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{atoms/cm}^3$ （代表的には $5 \times 10^{15} \sim 5 \times 10^{16} \text{atoms/cm}^3$ 、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16} \text{atoms/cm}^3$ ）の濃度で周期表の15族に属する元素（代表的にはリン）を含む。なお、この時の不純物濃度を（ $n^-$ ）で表すことにする（本明細書では $n^-$ 領域を第1不純物領域という）。

【0024】なお、本明細書中において、特に指定がない限り「不純物」とは周期表の13族または周期表の15族に属する元素を指して用いる。

【0025】また、第2不純物領域104は、 $0.5 \sim 2 \mu\text{m}$ （代表的には $1 \sim 1.5 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ （代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で周期表の15族に属する元素を含む。この第2不純物領域に含まれる不純物濃度は第1不純物領域に含まれる不純物濃度の5～10倍となるように調節すれば良い。なお、この時の不純物濃度を（ $n$ ）で表すことにする（本明細書では $n$ 領域を第2不純物領域という）。

【0026】また、第3不純物領域105は、 $2 \sim 20 \mu\text{m}$ （代表的には $3 \sim 10 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ）の濃度で周期表の15族に属する

元素を含む。この第3不純物領域105はソース配線又はドレイン配線とTFTとを電気的に接続させるためのソース領域またはドレイン領域となる。なお、この時の不純物濃度を（ $n^+$ ）で表すことにする（本明細書では $n^+$ 領域を第3不純物領域という）。

【0027】さらに、本願発明では、この第3不純物領域105がチャネル形成領域102の内部から、チャネル形成領域の結晶化に用いた触媒元素をゲッタリングする上で非常に重要な役割を果たす。その効果について簡単に説明する。

【0028】本願発明では非晶質半導体膜の結晶化において、結晶化を助長するための触媒元素（代表的にはニッケル）を用いることができる。しかし、ニッケルは金属元素であるため、チャネル形成領域に残存してしまうとリーク電流の要因ともなりうる。即ち、触媒元素を用いた後で、その触媒元素を少なくともチャネル形成領域内から除去するための工程を設けることが望ましい。

【0029】本願発明は触媒元素を除去するためにソース領域及びドレイン領域に存在する周期表の15族に属する元素（好ましくはリン）を用いることに特徴がある。即ち、ソース領域及びドレイン領域（第3不純物領域105）を形成した後で、熱処理を行うことによりチャネル形成領域内に残存するニッケルを第3不純物領域105にゲッタリング（捕獲）させるのである。こうしてチャネル形成領域102内から結晶化に用いた触媒元素を除去することができる。

【0030】従って、第3不純物領域105にはゲッタリングされた触媒元素が集まって高濃度に存在する。本出願人がSIMS（質量二次イオン分析）で調べた結果、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{atoms/cm}^3$ （代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{atoms/cm}^3$ ）の濃度で触媒元素が存在することが分かった。ただし、第3不純物領域105は電極としての機能を果たせば良いので、触媒元素が大量に存在していても何ら問題は生じない。

【0031】その一方で、チャネル形成領域102中の触媒元素の濃度はゲッタリング作用により大幅に低減（または除去）される。本出願人がSIMSで調べた結果、チャネル形成領域102中の触媒元素の濃度は $2 \times 10^{17} \text{atoms/cm}^3$ 以下（代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{atoms/cm}^3$ ）にまで低減されていることが分かった。（厳密にはSIMS測定はチャネル形成領域102と同一組成になるように形成されたパッドを用いて測定した。）このように、同一活性層内であっても位置によって触媒元素の濃度に大きな差（100～1000倍の差）が見られる点も本願発明の特徴となる。

【0032】以上のように本願発明のNTFTの活性層は、最終的に、チャネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域を含む点に特徴がある。このような構造とすることによってチャネル形成領域102から第1不純物領域103、第2



不純物領域104、第3不純物領域105と遠ざかるにつれて(チャンネル形成領域からの距離が遠いほど)不純物(周期表の15族に属する元素)濃度が次第に高くなるような構成を実現できる。

【0033】また、目的は従来例に述べたようなMOSFETにみられるLDD部での濃度勾配を、複数の不純物領域で意図的に形成することにあるため、不純物領域が三つ以上存在しても構わない。

【0034】こうして形成された活性層の上にはゲート絶縁膜106が形成されている。図1の場合、ゲート絶縁膜106が第2不純物領域104にオーバーラップするような状態で形成されている。これは第2不純物領域104を形成する際のプロセス特有の構造であり、本願発明を実施した場合の特徴になる。ゲート絶縁膜106はチャンネル形成領域102、第1不純物領域103及び第2不純物領域104に接して設けられる。

【0035】また、ゲート絶縁膜106上にはゲート配線107が設けられている。ゲート配線107の材料としては、タンタル(Ta)、窒化タンタル(TaN)、チタン(Ti)、クロム(Cr)、タングステン(W)、モリブデン(Mo)、シリコン(Si)、アルミニウム(Al)又は銅(Cu)などの単体金属層または合金層、或いはこれらを組み合わせた積層構造を用いれば良い。

【0036】積層構造の代表例としてはTa/Alの積層構造、Ta/Tiの積層構造、Cu/Wの積層構造またはAl/Wの積層構造などが挙げられる。また、金属シリサイドを設けた構造(具体的にはSi/WSix、Si/TiSix、Si/CoSix、またはSi/MoSixなど導電性を持たせたシリコンと金属シリサイドとを組み合わせた構造)としても良い。

【0037】ただし、シリコンでなるサイドウォールを形成する際に、シリコンとの選択比の高い材料が上面に現れるようにしておくことが好ましい。これはサイドウォールの形成時にゲート配線までもエッチングされてしまうのを防ぐためである。さもなければ、サイドウォールの形成に際して、ストッパーとして上面を保護膜で保護しておくことが必要となる。

【0038】また、後述するが本願発明のCMOS回路ではPTFTにはサイドウォールを設けない構造が有効である。従って、後にサイドウォールのみを除去する工程を含むため、サイドウォールの除去時にゲート配線がエッチングされないような材料選択が必要である。その点、従来例に述べた論文ではシリコンゲートとシリコンサイドウォールとが直接接する構造を有しているため、同論文の構造をそのまま用いても本願発明のCMOS回路を実現することはできない。

【0039】また、前述したゲッターリング工程の熱処理を行う場合、ゲート配線107(または113)の耐熱性等に注意が必要である。アルミニウムなどの低融点金属を含む場合には熱処理温度に制限が生じる。また、タンタルは非常に酸化されやすいので窒化シリコン膜など

の保護膜を設け、熱処理雰囲気中にタンタルが触れないように保護しておく必要がある。

【0040】図1に示した窒化シリコン膜108はそのために設けてある保護膜である。この窒化シリコン膜108に微量のボロンを添加しておくことは有効である。こうすることで熱伝導性が高まり、放熱効果を付与することができる。

【0041】このゲート配線107の側壁(側部)にはサイドウォール109が設けられている。本願発明ではサイドウォール109としてシリコンを主成分とする層(具体的にはシリコン層又はシリコンゲルマニウム層)を用いる。特に真性なシリコン層を用いることが望ましい。勿論、非晶質、結晶質または微結晶のいずれでも良い。

【0042】本願発明ではサイドウォール109が第1不純物領域103上にオーバーラップする(絶縁膜106を介して第1不純物領域103とサイドウォール109が重なっている)ような構造とする。このような構造とすることでMOSFETのGOLD構造やLATID構造の如き利点を得ることが可能である。

【0043】また、そのような構造を実現するためには、サイドウォール109によって第1不純物領域103に電圧が印加されるようにしておく必要がある。サイドウォールを真性シリコン層で形成しておけば、抵抗値は高いがリーク電流も発生するのでサイドウォール部分で容量を作らないという利点がある。即ち、ゲート電圧をオフした時にサイドウォールを誘電体とする蓄積容量が形成されることを防ぐことができる。

【0044】また、TFTの場合、活性層の膜厚が20~50nmと薄くなるため動作している時は空乏層が完全に活性層底部まで広がり、完全空乏型(FD型: Fully-Depression type)になる。FD型TFTをゲートオーバーラップ型にすることでホットキャリアを発生しにくい方向に電界が形成される。逆にFD型TFTで一般的なオフセット構造とすると、ホットキャリア注入を促進する方向に電界が形成されてしまう恐れがある。

【0045】以上のような構造とすることで、本願発明のNTFTはMOSFETと同等又はそれ以上の高い信頼性を実現することができる。また、サイドウォール109を用いて第1不純物領域103にゲート電圧を印加することでゲートオーバーラップ構造と同様の効果を得ることができる。

【0046】次に、第1不純物領域103、第2不純物領域104、及び第3不純物領域105をこの順に並べることで、チャンネル形成領域102からソース領域(またはドレイン領域)105に向かって徐々に不純物濃度が高くなるような構造を実現できる。こうすることでTFTのオフ電流を効果的に抑制することができる。

【0047】さらに、第2不純物領域104がゲート電圧からある程度距離をおいて設けられるので、図2に示

したMOSFETのオーバーラップ部分のように電界緩和の効果が得られる。また、第1不純物領域103で発生したホットキャリアは真上のサイドウォール109に向かって注入されるので、チャンネル形成領域102の真上にトラップ準位を形成することがない。

【0048】以上は本願発明のNTFTの説明であるが、Pチャンネル型TFT（以下、PTFTという）は基本的にLDD領域やオフセット領域を設けない構造とする。勿論、LDD領域やオフセット領域を設ける構造としても構わないが、PTFTはもともと信頼性が高いため、オン電流を稼いでNTFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には得にこの特性バランスが重要である。ただし、本願発明の構造をPTFTに適用しても構わない。

【0049】図1において、PTFTの活性層はチャンネル形成領域110及びソース領域（またはドレイン領域）となる一対の第4不純物領域111を有してなる。なお、この時の不純物（周期表の13族から選ばれた元素、代表的にはボロン）濃度を（ $p^{++}$ ）で表すことにする（本明細書では $p^{++}$ 領域を第4不純物領域という）。

【0050】第4不純物領域111は周期表の13族に属する元素によってP型に反転しているが、前工程で周期表の15族に属する元素も第3不純物領域105と同一濃度に添加されている場合は、十分なゲッタリング効果を発揮する。

【0051】従って、その場合には第4不純物領域111にも結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度で存在する。この場合も第4不純物領域111は電極として機能すれば良いので触媒元素が大量に存在していても問題はない。勿論、チャンネル形成領域110に含まれる触媒元素の濃度は、第4不純物領域111の $1/100 \sim 1/1000$ であり、濃度としては $2 \times 10^{17} \text{ atoms/cm}^3$ 以下（代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ ）となる。

【0052】また、ゲート絶縁膜112はゲート配線113をマスクとして自己整合的に形成される。本願発明のプロセス上の特徴としてNTFTにはサイドウォール109が存在し、PTFTにはサイドウォールが除去されて残らないという点も挙げられる。

【0053】こうしてNTFT及びPTFTを形成したら、第1絶縁膜（第1層間絶縁膜と言っても良い。）114で覆い、ソース配線115、116及びドレイン配線117を設ける。図1の構造ではこれら配線を設けた後で保護膜として窒化シリコン層118を形成してパッシベーション効果を高めている。その窒化シリコン層118上には樹脂材料でなる第2絶縁膜119が設けられる。樹脂材料で限定する必要はないが、平坦性を確保する意味で樹脂材料を用いることは効果的である。なお、

第2絶縁膜119の上に他の膜が形成される場合は、第2層間絶縁膜119と呼んでも構わない。

【0054】ここまでNTFTとPTFTとを相補的に組み合わせてなるCMOS回路を例にとって説明してきたが、NTFTを用いたNMOS回路やNTFTで形成された画素TFTに本願発明を適用することも可能である。勿論、CMOS回路を基本単位としたさらに複雑な半導体回路に適用することもできる。

【0055】また、本願発明の最も特徴的な点は、NTFTのLDD領域がチャンネル形成領域から遠ざかるにつれて不純物濃度が高くなるように多段階に設けられ、且つ、チャンネル形成領域内の触媒元素（結晶化で用いられた元素）がTFTの電気特性に支障をきたさないレベルにまで低減されている点にある。

【0056】従って、この構成を含む限り、TFT構造が限定される必要はなく、トップゲート構造（代表的にはプレーナ構造）にもボトムゲート構造（代表的には逆スタガ構造）にも本願発明を適用することができる。

【0057】（本願発明のNTFT構造の利点）本願発明のNTFTは第1不純物領域（1stLDD領域）と第2不純物領域（2ndLDD領域）というように、LDD領域を複数設け、そのうちの一つに対してゲート電極をオーバーラップさせるという構造上の特徴がある。

【0058】ここで本願発明の優位性を従来の構造と比較して説明する。図19（A）、（B）はLDD構造のないNTFTとその電気特性（ゲート電圧 $V_g$ 対ドレイン電流 $I_d$ 特性）である。同様に、図19（C）、（D）は通常のLDD構造の場合を、図19（E）、（F）はいわゆるGOLD構造の場合を、そして図19（G）、（H）には本願発明のNTFTの場合を示す。

【0059】なお、図面中において $n^+$ はソース領域またはドレイン領域を、channelはチャンネル形成領域を、 $n^-$ はLDD領域（ $n$ は第2のLDD領域）を指す。また、 $I_d$ はドレイン電流、 $V_g$ はゲート電圧である。

【0060】図19（A）、（B）に示すようにLDD構造がない場合、オフ電流は高く、オン電流（TFTがオン状態にある時のドレイン電流）やオフ電流が劣化しやすい。

【0061】次に、LDD構造の場合、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。（図19（C）、（D））

【0062】次に、LDD領域とゲート電極とがオーバーラップした構造（図19（C）、（D））であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0063】この場合、オン電流の劣化を十分に抑えることができる反面、通常のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本願発明はこのオフ電流が高いと

いう問題を認識した上で、解決するための構造を模索したのである。

【0064】そして、本願発明の構造は図19 (G)、(H)に示すように、内側(チャネル形成領域に近い側)のLDD領域はゲート電極とオーバーラップさせ、外側のLDD領域はゲート電極とオーバーラップしないように形成する。この構造を採用することで、オン電流の劣化を抑制する効果をそのままに、オフ電流を低減することが可能となる。

【0065】本出願人は図19 (E)、(F)に示したような構造の場合に何故オフ電流が高くなってしまいかを次のように推測した。この説明を、図20を用いて行う。

【0066】NTFTがオフ状態にある時、ゲート電極41にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域42にプラス数十ボルトの正の電圧がかかっていると、ゲート絶縁膜43のドレイン側端部に非常に大きな電界が形成される。

【0067】この時、図20 (A)に示すようにLDD領域44には少数キャリアである正孔45が誘起される。この時のエネルギーバンド図を図20 (B)に示す。即ち、ドレイン領域42、LDD領域44、チャネル形成領域46をつなぐ少数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと考えたのである。

【0068】本出願人は、このような電流経路を途中で遮断するためにはゲート電極とオーバーラップしない位置に別の抵抗体、即ち第2のLDD領域を設ける必要があると考えた。このようにして本願発明の構造に想到したのである。

【0069】以上に示したような本願発明の構成について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

#### 【0070】

【実施例】【実施例1】本実施例では図1に示したCMOS回路の作製方法について図3、図4を用いて説明する。

【0071】まず、ガラス基板301上に酸化シリコン膜302でなる下地膜を200nm厚に形成する。下地膜は窒化シリコン膜を積層しても良いし、窒化シリコン膜のみであっても良い。成膜方法はプラズマCVD法、熱CVD法またはスパッタ法を用いれば良い。勿論、窒化シリコン膜にボロンを添加することは放熱効果を高める上で有効である。

【0072】次に、酸化シリコン膜302上に50nm厚のアモルファスシリコン膜(非晶質シリコン膜)をプラズマCVD法、熱CVD法またはスパッタ法により形成する。その後、特開平7-130652号公報に記載の技術を用いてアモルファスシリコン膜の結晶化を行い、結晶を含む半導体膜を形成する。この工程について図5

を用いて説明する。

【0073】まずガラス基板501上に下地膜として酸化シリコン膜502を設け、その上にアモルファスシリコン膜503を形成する。本実施例では酸化シリコン膜502とアモルファスシリコン膜503とをスパッタ法により連続的に成膜する。次に、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層504を形成する。(図5 (A))

【0074】なお、ニッケル(Ni)以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、錫(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、シリコン(Si)といった元素から選ばれた一種または複数種の元素を用いても良い。

【0075】次に、500℃1時間の水素だし工程の後、500~650℃で4~24時間(本実施例では550℃14時間)の熱処理を行い、ポリシリコン膜505を形成する。こうして得られたポリシリコン膜505は非常に優れた結晶性を有することが分かっている。

(図5 (B))

【0076】ただし、この時、ポリシリコン膜505の内部には結晶化に用いたニッケルが高濃度に存在する。実験的にはSIMS(質量二次イオン分析)の測定値における最小値で、 $1 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度のニッケルが存在することが確かめられている。このニッケルはチャネル形成領域内で容易にシリサイド化しうるため、抵抗の低い電流パス(リーク電流の通り道)として機能することが懸念される。

【0077】なお、本出願人は実際のTFTの電気特性を調べているが、この程度のニッケル濃度であればTFTの電気特性に著しい悪影響を与えないことを確かめている。しかしながら、悪影響を与えうる可能性がある限り、少なくともチャネル形成領域からは除去することが望ましいと言える。そのためのゲッタリング工程に関しては後述することにする。

【0078】こうしてポリシリコン膜505を形成したら、島状にパターニングして図3 (A)に示す活性層303、304を形成する。

【0079】なお、ポリシリコン膜505を形成した後、エキシマレーザー光を照射して結晶性を高めても良い。また、活性層303、304を形成した後に行っても構わない。エキシマレーザー光の照射工程は公知の技術を用いれば良いので説明は省略する。

【0080】次に、活性層303、304を覆って酸化窒化シリコン膜(SiOxNyで表される)でなるゲート絶縁膜305を形成し、その上にタンタルと窒化タンタルの積層構造でなるゲート配線(ゲート電極を含む)306、307を形成する。(図3 (A))

【0081】ゲート絶縁膜305の膜厚は120nmとする。勿論、酸化窒化シリコン膜以外に酸化シリコン膜、酸化シリコン膜と窒化シリコン膜との積層構造を用いて

も構わない。また、ゲート配線 306、307 は他の金属を用いることもできるが、後の工程を考慮するとシリコンとのエッチング選択比の高い材料が望ましい。

【0082】こうして図 3 (A) の状態が得られたら、1 回目のリンドーブ工程（リンの添加工程）を行う。ここではゲート絶縁膜 305 を通して添加するため、加速電圧は 80 KeV と高めに設定する。また、こうして形成された第 1 不純物領域 308、309 は長さ（幅）が 0.5  $\mu\text{m}$ 、リン濃度が  $1 \times 10^{17} \text{atoms/cm}^3$  となるように調節する。なお、リンの代わりに砒素を用いても良い。

【0083】また、第 1 不純物領域 308、309 はゲート配線 306、307 をマスクとして自己整合的に形成される。この時、ゲート配線 306、307 の直下には真性なポリシリコン層が残り、チャネル形成領域 310、311 が形成される。ただし、実際には多少ゲート配線の内側に回り込んで添加される分もあるため、ゲート配線 306、307 と第 1 不純物領域 308、309 とがオーバーラップするような構造となる。（図 3 (B)）

【0084】次に、ゲート配線 306、307 を覆うようにして 0.1 ~ 1  $\mu\text{m}$ （代表的には 0.2 ~ 0.3  $\mu\text{m}$ ）の厚さのアモルファスシリコン層を形成し、塩素系ガスをを用いた異方性エッチングを行うことによりサイドウォール 312、313 を形成する。サイドウォール 312、313 の幅（ゲート配線の側部からみた厚さ）は 0.2  $\mu\text{m}$  とする。（図 3 (C)）

【0085】なお、本実施例ではアモルファスシリコン層として不純物を何も添加しないものを用いるため、真性なシリコン層（アンドーブシリコン層）でなるサイドウォールが形成される。

【0086】図 3 (C) の状態が得られたら、2 回目のリンドーブ工程を行う。この場合も 1 回目と同様に加速電圧を 80 KeV とする。また、今回形成された第 2 不純物領域 314、315 にはリンが  $1 \times 10^{18} \text{atoms/cm}^3$  の濃度で含まれるようにドーズ量を調節する。

【0087】なお、図 3 (D) に示すリンドーブ工程ではサイドウォール 312、313 の真下のみに第 1 不純物領域 308、309 が残る。即ち、この工程で図 1 に示した第 1 不純物領域 103 が画定する。この第 1 不純物領域 308 は NTFT の 1st LDD 領域として機能することになる。

【0088】また、図 3 (D) の工程ではサイドウォール 312、313 にもリンが添加される。実際には加速電圧が高いためリンの濃度プロファイルのテール（裾）がサイドウォール内部に及ぶような状態でリンが分布することが判っている。このリンでサイドウォールの抵抗成分を調節することもできる反面、リンの濃度分布が極端にばらつくと第 1 不純物領域 308 に印加されるゲート電圧が素子毎に変動する要因ともなりかねないので

ーピング時は精密な制御が必要である。

【0089】次に、NTFT の一部を覆うレジストマスク 316 を形成する。そして、まず PTFT のサイドウォール 313 を除去した後、ゲート絶縁膜 305 の一部をドライエッチングして、加工されたゲート絶縁膜 317、318 を形成する。（図 3 (E)）

【0090】この時、ゲート絶縁膜 317 がサイドウォール 312 よりも外側に突出している部分の長さ（ゲート絶縁膜 317 が第 2 不純物領域 314 に接している部分の長さ）が、図 1 に示す第 2 不純物領域 104 の長さ（幅）を決定する。しかし、従来は LDD 領域が一種類であったので、その幅のバラツキが電気特性に大きく影響してしまっていたが、本実施例の場合は実質的に LDD 領域が二種類あるため、第 2 不純物領域の幅が多少ばらついても問題とはならない。

【0091】一方、ゲート絶縁膜 318 はゲート配線 307 をマスクとして自己整合的に形成される。そのため、第 1 不純物領域 309、第 2 不純物領域 315 が露呈するような形となる。

【0092】図 3 (E) の状態が得られたら、3 回目のリンドーブ工程を行う。今回は露出した活性層にリンを添加することになるため、加速電圧を 10 KeV と低めに設定する。なお、本実施例では第 3 不純物領域 319、320 にリンが  $5 \times 10^{20} \text{atoms/cm}^3$  の濃度で含まれるようにドーズ量を調節する。（図 4 (A)）

【0093】この工程ではレジストマスク 316 によって遮蔽された部分（NTFT 側）にはリンが添加されないため、その部分には第 2 不純物領域 314 がそのまま残る。即ち、この工程によって図 1 に示す第 2 不純物領域 104 が画定する。また同時に、図 1 に示す第 3 不純物領域 105 が画定する。この第 2 不純物領域 314 は 2nd LDD 領域として機能し、第 3 不純物領域 319 はソース領域又はドレイン領域として機能することになる。

【0094】さらに、PTFT となる活性層にはゲート配線 307 をマスクとしてリンが添加されるため、自己整合的に第 3 不純物領域 320 が形成される。このときのリンのドーズ量は前述の 2 回目のリンドーブ量よりも 5 ~ 10 倍も高いため、第 1 不純物領域（ $n^-$ 領域）及び第 2 不純物領域（ $n$ 領域）は実質的に第 3 不純物領域（ $n^+$ 領域）と一緒になる。

【0095】なお、本実施例では第 3 不純物領域 319、320 の濃度が少なくとも  $1 \times 10^{19} \text{atoms/cm}^3$  以上（好ましくは  $1 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ ）となるようにリンの添加量を調節することが望ましい。これ以下の濃度であると、効果的なリンによるゲッタリング効果を期待できなくなる恐れがある。

【0096】次に、レジストマスク 316 を除去し、新たに NTFT を覆うレジストマスク 321 を形成する。そして、ボロドーブ工程（ボロンの添加工程）を行

う。ここでは加速電圧を10KeVとし、形成された第4不純物領域322に $3 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度でボロンが含まれるようにドーズ量を調節した。この時のボロン濃度を( $p^{++}$ )で表すことにする。(図4(B))

【0097】この工程ではPTFT側に形成されていた第3不純物領域(n)320をボロンで反転させてP型にしている。従って、第4不純物領域322にはリンとボロンが混在する。また、この時ゲート配線307の内側に回り込んで形成された部分もボロンの回り込みによってP型に反転する。

【0098】こうすることで図1に示す第4不純物領域111が画定する。第4不純物領域322はゲート配線307をマスクとして完全に自己整合的に形成され、ソース領域又はドレイン領域として機能する。本実施例ではPTFTに対してLDD領域もオフセット領域も形成していないが、PTFTはもともと信頼性が高いので問題はなく、却ってLDD領域等を設けない方がオン電流を稼ぐことができるので都合が良い場合もある。

【0099】こうして最終的には図4(B)に示すように、NTFTの活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、PTFTの活性層にはチャネル形成領域及び第4不純物領域が形成される。

【0100】そのようにして図4(B)の状態が得られたら、レジストマスク321を除去した後、保護膜として窒化シリコン膜323を形成する。この時、窒化シリコン膜の膜厚は1~100nm(代表的には5~50nm、好ましくは10~30nm)とする。

【0101】次に、500~650℃(代表的には550~600℃)の処理温度で2~24時間(代表的には4~12時間)の熱処理工程を行う。本実施例では窒素雰囲気中で600℃12時間の熱処理とする。(図4(C))

【0102】この熱処理工程は、第1不純物領域308、第2不純物領域314、第3不純物領域319及び第4不純物領域322に添加された不純物(リン及びボロン)を活性化させると同時に、チャネル形成領域310、311に残存しているニッケルをゲッタリングさせる目的で行われる。

【0103】この熱処理工程では、第3不純物領域319と第4不純物領域322に添加されているリンがニッケルをゲッタリングする。即ち、ニッケルが矢印の方向に移動し、リンと結合することによって捕獲される。そのため、図4(C)に示した第3不純物領域324と第4不純物領域325には高濃度にニッケルが集まる。具体的には、両不純物領域に $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>(代表的には $1 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>)の濃度でニッケルが存在する。また同時に、チャネル形成領域310、311内のニッケル濃度は $2 \times 10^{17}$ atoms/cm<sup>3</sup>以下(代表的には $1 \times 10^{14} \sim 5 \times 10^{16}$ atoms

/cm<sup>3</sup>)にまで低減される。

【0104】この時、保護膜として設けた窒化シリコン膜323はゲート配線の材料として用いたタンタル膜が酸化されるのを防ぐ。ゲート配線が酸化されにくい、酸化によって形成される酸化膜がエッチングしやすいものであれば問題はないが、タンタル膜は酸化されやすいばかりでなく、酸化タンタル膜が非常にエッチングしにくい膜であるため、窒化シリコン膜323を設けることが望ましい。

10 【0105】こうして図4(C)に示す熱処理工程(ゲッタリング工程)が終了したら、第1絶縁膜326を1μmの厚さに形成する。第1絶縁膜326としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用する。

【0106】第1絶縁膜326を形成したら、金属材料でなるソース配線327、328及びドレイン配線329を形成する。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の積層配線を用いる。

20 【0107】また、第1絶縁膜326としてBCB(ベンゾシクロブテン)と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低いため、配線材料として非常に有効である。

【0108】こうしてソース配線及びドレイン配線を形成したら、パッシベーション膜として50nm厚の窒化シリコン膜330を形成する。さらにその上には保護膜として第2絶縁膜331を形成する。この第2絶縁膜331としては前記第1絶縁膜326と同様の材料を用いることが可能である。本実施例では50nm厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用する。

30 【0109】以上のような工程を経て、図4(D)に示すような構造のCMOS回路が完成する。本実施例によって形成されたCMOS回路は、NTFTが優れた信頼性を有するため、回路全体として信頼性が大幅に向上した。また、本実施例のような構造とすると、NTFTとPTFTとの特性バランス(電気特性のバランス)が良くなるため、動作不良を起こしにくくなる。

【0110】また、従来特開平7-130652号公報記載の技術を用いた際に懸念されたチャネル形成領域内のニッケル(触媒元素)の影響は、本実施例に示したようなゲッタリング工程を行うことにより解決される。

40 【0111】なお、本実施例で説明した構造はあくまで一実施例であり、図3、図4に示した構造に限定される必要はない。本願発明で重要な点はNTFTの活性層の構造であり、その点さえ違えなければ本願発明の効果を得ることができる。

50 【0112】〔実施例2〕実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Si(真性なシリコン層またはアンドープシリコン層)を用いたが、

本実施例では成膜時にリンを添加したリンドーブシリコン層 ( $n^+$ -Si層) またはボロドーブシリコン層 ( $p^+$ -Si層) を用いる。勿論、非晶質でも結晶質でも良いし、微結晶でも良い。

【0113】リンやボロンを添加したシリコン層を用いることでサイドウォール部分が全体的に低抵抗化され、図3(D)の工程で懸念されたリン濃度のプロファイルばらつきに起因する特性変動の可能性を排除することができる。

【0114】〔実施例3〕実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Siを用いたが、本実施例では炭素(C)、窒素(N)または酸素(O)のいずれかが含まれたシリコン層を用いてサイドウォールの抵抗成分を高める。勿論、シリコン層は非晶質、結晶質または微結晶のいずれかで良い。また、用いる不純物としては酸素が最も良い。

【0115】即ち、サイドウォールとなるシリコン層を形成する際に1~50atomic% (代表的には10~30atomic%) の炭素、窒素または酸素を添加すれば良い。本実施例では20atomic%の酸素を添加する。

【0116】本実施例の構成とすることでサイドウォールに起因する抵抗成分が大きくなるため、ゲート電圧の印加に対してサイドウォールを誘電体とした容量成分が支配的にきいてくるような構成とすることができる。即ち、高周波駆動した際にサイドウォール部分にも有効なゲート電圧が印加されるようにできる。

【0117】〔実施例4〕本実施例では、実施例1において活性層となる結晶を含む半導体膜を、特開平8-78329号公報に記載された技術を用いて結晶化した場合の例について説明する。なお、特開平8-78329号公報に記載された技術は、触媒元素を選択的に添加することによって、半導体膜の選択的な結晶化を可能とするものである。同技術を本願発明に適用した場合について図6に説明する。

【0118】まず、ステンレス基板601上に酸化シリコン膜602を設け、その上にアモルファスシリコン膜603、酸化シリコン膜604を連続的に形成する。この時、酸化シリコン膜604の膜厚は150nmとする。

【0119】次に酸化シリコン膜604をパターニングして選択的に開口部605を形成し、その後、重量換算で100ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。形成されたニッケル含有層606は開口部605の底部のみでアモルファスシリコン膜602と接触した状態となる。(図6(A))

【0120】次に、500~650℃で4~24時間 (本実施例では580℃14時間) の熱処理を行い、アモルファスシリコン膜の結晶化を行う。この結晶化過程では、ニッケルが接した部分がまず結晶化し、そこから基板にほぼ平行な方向へと結晶成長が進行する。結晶学的には<111>軸方向に向かって進行することが確か

められている。

【0121】こうして形成されたポリシリコン膜607は棒状または針状の結晶が集合してなり、各々の棒状結晶は、巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0122】なお、上記公報に記載された技術においてもニッケル(Ni)以外にゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、錫(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、シリコン(Si)といった元素から選ばれた一種または複数種の元素を用いることができる。

【0123】以上のような技術を用いて結晶を含む半導体膜(ポリシリコン膜やポリシリコンゲルマニウム膜を含む)を形成し、パターニングを行って結晶を含む半導体膜でなる活性層を形成すれば良い。その後の工程は実施例1に従えば良い。勿論、実施例2、3との組み合わせも可能である。

【0124】本実施例の技術を用いて結晶化した結晶を含む半導体膜を用いてTFTを作製した場合、高い電界効果移動度(モビリティ)が得られるが、そのため高い信頼性を要求される。しかしながら、本願発明のTFT構造を採用することで本実施例の技術を最大限に生かしたTFTを作製することが可能となる。

【0125】〔実施例5〕本実施例では、実施例1に対して特開平10-135468号公報または特開平10-135469号公報に記載された技術を組み合わせた例を示す。

【0126】同公報に記載された技術は、半導体の結晶化に用いたニッケルを、結晶化後にハロゲン元素(代表的には塩素)のゲッターリング作用を用いて除去する技術である。同技術を用いることで活性層中のニッケル濃度を $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下(好ましくは $1 \times 10^{16}$ atoms/cm<sup>3</sup>以下)にまで低減することができる。

【0127】本実施例の構成について図7を用いて説明する。まず基板として耐熱性の高い石英基板701を用いる。勿論、シリコン基板やセラミックス基板を用いても良い。石英基板を用いた場合、特に下地膜として酸化シリコン膜を設けなくても基板側からの汚染はない。

【0128】次に実施例1または実施例4の手段を用いてポリシリコン膜(図示せず)を形成し、パターニングして活性層702、703を形成する。さらに、それら活性層を覆って酸化シリコン膜でなるゲート絶縁膜704を形成する。(図7(A))

【0129】ゲート絶縁膜704を形成したら、ハロゲン元素を含む雰囲気中において熱処理を行う。本実施例では処理雰囲気を酸素と塩化水素とを混合した酸化性雰囲気とし、処理温度を950℃、処理時間を30分とする。なお、処理温度は700~1150℃(代表的には800~1000℃)の間で選択すれば良いし、処理時間も10分~8時間(代表的には30分~2時間)の間

で選択すれば良い。(図 7 (B))

【0130】この時、ニッケルは揮発性のニッケル塩化物となって処理雰囲気中に離脱し、ポリシリコン膜中のニッケル濃度が低減する。従って、図 7 (B) に示した活性層 705、706 中に含まれるニッケル濃度は  $1 \times 10^{17} \text{ atoms/cm}^3$  以下に低減される。

【0131】以上のような技術でなる本実施例を用いて活性層を形成し、その後の工程は実施例 1 に従えば良い。勿論、実施例 2~5 のいずれの実施例との組み合わせも可能である。特に本実施例と実施例 4 との組み合わせは非常に結晶性の高いポリシリコン膜を実現できることが判明している。

【0132】(活性層の結晶構造に関する知見) 上記作製工程に従って形成した半導体層(活性層)は、微視的に見れば複数の針状又は棒状の結晶(以下、棒状結晶と略記する)が集まって並んだ結晶構造を有する。このことは TEM (透過型電子顕微鏡法) による観察で容易に確認できた。

【0133】また、電子線回折及びエックス線(X線)回折を利用して活性層の表面(チャンネルを形成する部分)が結晶軸に多少のずれが含まれているものの主たる配向面が  $\{110\}$  面であることを確認した。本出願人がスポット径約  $1.5 \mu\text{m}$  の電子線回折写真を詳細に観察した結果、 $\{110\}$  面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0134】また、本出願人は個々の棒状結晶が接して形成する結晶粒界を HR-TEM (高分解能透過型電子顕微鏡法) により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0135】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0136】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊な twist 粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0137】特に結晶軸(結晶面に垂直な軸)が  $\langle 110 \rangle$  軸である場合、 $\{211\}$  双晶粒界は  $\Sigma 3$  の対応粒界とも呼ばれる。 $\Sigma$  値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$  値が小さいほど整合性

の良い粒界であることが知られている。

【0138】本出願人が本願発明を実施して得たポリシリコン膜を詳細に TEM を用いて観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が  $\Sigma 3$  の対応粒界、即ち  $\{211\}$  双晶粒界であることが判明した。

【0139】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が  $\{110\}$  である場合、 $\{111\}$  面に対応する格子縞がなす角を  $\theta$  とすると、 $\theta = 70.5^\circ$  の時に  $\Sigma 3$  の対応粒界となることが知られている。

【0140】本実施例のポリシリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約  $70.5^\circ$  の角度で連続しており、その事からこの結晶粒界は  $\{211\}$  双晶粒界であるという結論に辿り着いた。

【0141】なお、 $\theta = 38.9^\circ$  の時には  $\Sigma 9$  の対応粒界となるが、この様な他の結晶粒界も存在した。

【0142】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得たポリシリコン膜は面方位が概略  $\{110\}$  で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0143】この様な結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0144】またさらに、 $700 \sim 1150^\circ\text{C}$  という高い温度での熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅していることが TEM 観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0145】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance : ESR)によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製されたポリシリコン膜のスピン密度は少なくとも  $5 \times 10^{17} \text{ spins/cm}^3$  以下(好ましくは  $3 \times 10^{17} \text{ spins/cm}^3$  以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0146】以上の事から、本実施例を実施することで得られたポリシリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有するポリシリコン膜を CGS (Continuous Grain Silicon) と呼んでいる。

【0147】CGS に関する記載は本出願人による特願平 10-044659 号、特願平 10-152316

号、特願平 10-152308 号または特願平 10-152305 号の出願を参照すれば良い。

【0148】(TFT の電気特性に関する知見) 本実施例で作製した TFT は、MOSFET に匹敵する電気特性を示した。本出願人が試作した TFT からは次に示す様なデータが得られている。

【0149】(1) スイッチング性能 (オン/オフ動作切り換えの俊敏性) の指標となるサブスレッショルド係数が、N チャネル型 TFT および P チャネル型 TFT とともに 60~100mV/decade (代表的には 60~85mV/decade) と小さい。

(2) TFT の動作速度の指標となる電界効果移動度 ( $\mu_{FE}$ ) が、N チャネル型 TFT で 200~650cm<sup>2</sup>/Vs (代表的には 300~500cm<sup>2</sup>/Vs)、P チャネル型 TFT で 100~300cm<sup>2</sup>/Vs (代表的には 150~200cm<sup>2</sup>/Vs) と大きい。

(3) TFT の駆動電圧の指標となるしきい値電圧 ( $V_{th}$ ) が、N チャネル型 TFT で -0.5~1.5 V、P チャネル型 TFT で -1.5~0.5 V と小さい。

【0150】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0151】(回路特性に関する知見) 次に、本実施例を実施して形成した TFT を用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとは CMOS 構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路 1 段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9 段

TFT のゲイト絶縁膜の膜厚：30nm 及び 50nm

TFT のゲイト長：0.6  $\mu$ m

【0152】このリングオシレータによって発振周波数を調べた結果、最大値で 1.04GHz の発振周波数を得ることができた。また、実際に LSI 回路の TEG の一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚 30nm、ゲイト長 0.6  $\mu$ m、電源電圧 5V、段数 50 段のシフトレジスタ回路において動作周波数 100MHz の出力パルスが得られた。

【0153】以上の様なリングオシレータおよびシフトレジスタの驚異的なデータは、本実施例の TFT が MOSFET に匹敵する、若しくは凌駕する性能 (電気特性) を有していることを示している。

【0154】〔実施例 6〕本実施例では、実施例 1 または 4 に示したように触媒元素 (ニッケルを例にする) を用いてポリシリコン膜を形成した後で、膜中に残存するニッケルを除去する工程を行う例を示す。本実施例ではニッケルを除去する技術として、特開平 10-270363 号公報または特開平 10-247735 号公報に記

載された技術を用いた。

【0155】特開平 10-270363 号公報に記載された技術は、半導体の結晶化に用いたニッケルを、結晶化後に周期表の 15 族に属する元素 (代表的にはリン) のゲッターリング作用を用いて除去する技術である。同技術を用いることで活性層中のニッケル濃度を  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下 (好ましくは  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 以下) にまで低減することができる。

【0156】ここで同技術を本願発明に適用した場合について図 22 に示す。まず、実施例 1 の図 5 に示した工程に従ってポリシリコン膜 505 を形成する。次に開口部を有するマスク絶縁膜 421 を設け、その状態でリンを添加する。このとき、開口部で露呈したポリシリコン膜には高濃度にリンが添加された領域 422 が形成される。この領域をゲッターリング領域と呼ぶ。(図 22 (A))

【0157】ゲッターリング領域 422 には  $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> (代表的には  $1 \times 10^{20}$  atoms/cm<sup>3</sup>) の濃度でリンが添加される。

【0158】次に、550~650℃で 4~15 時間 (本実施例では 600℃12 時間) の熱処理を行う。この熱処理によってポリシリコン膜 505 中に残存した触媒元素 (本実施例ではニッケル) は、矢印の方向に向かって移動し、ゲッターリング領域 422 中に捕獲 (ゲッターリング) される。領域 422 をゲッターリング領域と呼ぶのはそういった理由による。また、こうして形成されたポリシリコン膜 423 は膜中に含まれるニッケル濃度が  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下に低減される。

【0159】また、特開平 10-247735 号公報に記載された技術は、特開平 8-78329 号公報に記載された技術を用いて結晶化した後で、選択的に触媒元素を添加するために用いたマスクをそのままリン添加用のマスクとして用いることを特徴とした技術である。この技術はスループットの向上に非常に効果的である。

【0160】以上のような技術でなる本実施例を用いて結晶を含む半導体膜 (ポリシリコン膜やポリシリコンゲルマニウム膜を含む) を形成し、パターニングを行って活性層を形成すれば良い。その後の工程は実施例 1 に従えば良い。また、本実施例と実施例 1 に示したゲッターリング技術とを組み合わせることで、さらにチャネル形成領域に残存する触媒元素を低減することが可能となる。勿論、実施例 2~4 のいずれの実施例との組み合わせも可能である。

【0161】〔実施例 7〕本実施例では、実施例 1 に示したゲッターリング工程 (図 4 (C)) で用いた窒化シリコン膜 323 の形成工程を、実施例 1 とは異なる時点で行う例について図 8 に示す。

【0162】まず実施例 1 の工程に従って図 3 (B) の工程まで行い、その後、1~10nm (好ましくは 2~5nm) 厚の窒化シリコン膜 801 を設ける。この窒化シリ



コン膜 801 の膜厚が厚すぎるとサイドウォール 802 を用いたゲートオーバーラップ構造が実現できなくなるので、薄くすることが好ましい。ただし、後の熱処理工程でゲート配線（タンタルの場合）の酸化を防ぐという効果も損ねないように注意が必要である。

【0163】そして、窒化シリコン膜 801 上にアモルファスシリコン膜（図示せず）を形成し、異方性エッチングによりサイドウォール 802、803 を形成する。（図 8（A））

【0164】なお、サイドウォール 802、803 の構成は実施例 2 または実施例 3 のような構成とすることも可能である。

【0165】次に、図 8（A）の状態でのリンの添加工程を行い、第 2 不純物領域 804、805 を形成する。なお、リンの添加条件はほぼ実施例 1 と同様で良いが、窒化シリコン膜 801 の膜厚分を考慮して、加速電圧及び電力の最適化を行うことが望ましい。

【0166】第 2 不純物領域 804、805 を形成したら、レジストマスク 806、807 を形成し、ドライエッチングでゲート絶縁膜の一部をエッチングすることによりゲート絶縁膜 808、809 を形成する。（図 8（B））

【0167】次に、図 8（B）の状態でも再びリンの添加工程を行い、第 3 不純物領域 810 を形成する。そして、レジストマスク 806、807 を除去した後、レジストマスク 811 を形成してサイドウォール 803 を除去する。その状態でボロンの添加工程を行う。このボロンの添加工程はほぼ実施例 1 と同様で良いが、前述のように窒化シリコン膜 801 の膜厚分を考慮して、加速電圧及び電力の最適化を行うことが望ましい。こうして第 4 不純物領域 812 が形成される。

【0168】なお、第 3 不純物領域 810 及び第 4 不純物領域 812 に含まれるリン濃度やボロン濃度に関しては実施例 1 で説明した構成とすれば良い。勿論、実施例 1 の値に限定する必要はない。

【0169】こうして図 8（C）の状態が得られたら、実施例 1 と同様の条件でゲッタリングのための熱処理工程を行う。この熱処理工程後、第 3 不純物領域 813 及び第 4 不純物領域 814 には  $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （代表的には  $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度でニッケルが存在する。チャネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0170】以上の工程の後、実施例 1 と同様の工程を順次行うことによって CMOS 回路が完成する。本実施例の構造と図 1 に示した構造との違いは、本実施例の場合においては PTF 側に 809 で示されるような形状のゲート絶縁膜が存在する点と言える。

【0171】本実施例の構造及びプロセスとしても本願発明の効果を何ら妨げることはなく、信頼性の高い半導体装置を作製することができる。なお、本実施例は実施

例 2～6 と自由に組み合わせることができる。

【0172】〔実施例 8〕本実施例では、実施例 7 に示した構成を変形させた場合の例について図 9 を用いて説明する。具体的には、ゲート配線の保護のために設けた窒化シリコン膜を、サイドウォールをマスクとしてエッチングする工程を含むことを特徴とする。

【0173】まず実施例 1 の工程に従って図 8（A）の工程まで行い、その後、窒化シリコン膜 801 を、サイドウォール 802、803 をマスクとしてエッチングして 901、902 で示されるような形状の窒化シリコン膜とする。（図 9（A））

【0174】次に、図 9（A）の状態でのリンの添加工程を行い、第 2 不純物領域 903、904 を形成する。なお、リンの添加条件はほぼ実施例 1 と同様で良いが、窒化シリコン膜 901 の膜厚分を考慮して、加速電圧及び電力の最適化を行うことが望ましい。

【0175】第 2 不純物領域 903、904 を形成したら、レジストマスク 905、906 を形成し、ドライエッチングでゲート絶縁膜をエッチングすることによりゲート絶縁膜 907、908 を形成する。（図 9（B））

【0176】次に、図 9（B）の状態でも再びリンの添加工程を行い、第 3 不純物領域 909 を形成する。そして、レジストマスク 905、906 を除去した後、レジストマスク 910 を形成してサイドウォール 803 を除去する。その状態でボロンの添加工程を行う。このボロンの添加工程はほぼ実施例 1 と同様で良いが、前述のように窒化シリコン膜 901 の膜厚分を考慮して、加速電圧及び電力の最適化を行うことが望ましい。こうして第 4 不純物領域 911 が形成される。

【0177】なお、第 3 不純物領域 909 及び第 4 不純物領域 911 に含まれるリン濃度やボロン濃度に関しては実施例 1 で説明した構成とすれば良い。勿論、実施例 1 の値に限定する必要はない。

【0178】こうして図 9（C）の状態が得られたら、実施例 1 と同様の条件でゲッタリングのための熱処理工程を行う。この熱処理工程後、第 3 不純物領域 912 及び第 4 不純物領域 913 には  $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （代表的には  $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度でニッケルが存在する。チャネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0179】以上の工程の後、実施例 1 と同様の工程を順次行うことによって CMOS 回路が完成する。本実施例の構造と図 1 に示した構造との違いは、本実施例の場合においては PTF 側に 902 で示される形状の窒化シリコン膜と 908 で示される形状のゲート絶縁膜とが存在する点と言える。

【0180】本実施例の構造及びプロセスとしても本願発明の効果を何ら妨げることはなく、信頼性の高い半導体装置を作製することができる。なお、本実施例は実施

【0181】〔実施例9〕実施例1では図3(E)においてゲート絶縁膜305のエッチング工程を行っているが、この工程を省略し、最終工程までゲート絶縁膜305を残すことも可能である。本実施例について図10を用いて説明する。

【0182】実施例1の図3(E)において、ゲート絶縁膜305をエッチングする前の状態を図10(A)に示す。この状態のまま、図4(A)～図4(C)の工程までを行う。その際、図4(A)に示した工程(リンの添加工程)はスルードープ工程(絶縁膜を通して不純物を添加する工程)となる。従って、加速電圧は80～100 KeVと高めに設定する必要がある。

【0183】また、同様に図4(B)のボロンの添加工程もスルードープ工程となる。この場合もやはり加速電圧を高め(70～90 KeV)に設定する必要がある。

【0184】また、このようにしてゲッタリングのための熱処理工程までを行うと図10(B)に示すような構造のCMOS回路が得られる。なお、構造的には図1に示す構造と殆ど同じであるので、詳細な説明は省略する。ここでは特に特徴的な点のみを説明するに必要な符号のみを付ける。

【0185】本実施例の構造とした場合、第3不純物領域11及び第4不純物領域12は完全にゲート絶縁膜305で覆われた状態となる。即ち、ゲート絶縁膜305を成膜した後は活性層が露呈することがないため、処理雰囲気から汚染されるような心配がない。

【0186】また、ゲート配線の保護を目的として設けられる窒化シリコン膜13はゲート絶縁膜305、サイドウォール312及び各ゲート配線を覆うような形で形成される点で図1とは異なっている。

【0187】なお、本実施例の構成は実施例2～6のいずれの構成とも自由に組み合わせることが可能である。

【0188】〔実施例10〕本実施例ではNTFT側の第3不純物領域をベアドープ工程(絶縁膜を通さず、活性層に直接的に不純物を添加する工程)で形成し、PTFT側をスルードープ工程で形成する場合について図11を用いて説明する。

【0189】本実施例では図3(E)においてレジストマスク316の形成と同時にレジストマスク21を形成する。そして、レジストマスク316、21をマスクとしてゲート絶縁膜305をエッチングし、ゲート絶縁膜22、23を形成する。(図11(A))

【0190】この状態のまま、図4(A)～図4(C)の工程までを行う。その際、図4(A)に示した工程(リンの添加工程)はベアドープ工程であるので実施例1と同一条件で良い。しかしながら、図4(B)のボロンの添加工程はスルードープ工程となるので加速電圧を高め(70～90 KeV)に設定する必要がある。

【0191】また、このようにしてゲッタリングのための熱処理工程までを行うと図11(B)に示すような構

造のCMOS回路が得られる。なお、構造的には図1に示す構造と殆ど同じであるので、詳細な説明は省略する。ここでは特に特徴的な点のみを説明するに必要な符号のみを付ける。

【0192】本実施例の構造とした場合、第3不純物領域24はゲート絶縁膜22が被さらず(実際には多少リンが内側に回り込むのでオーバーラップする)、第4不純物領域25は完全にゲート絶縁膜23で覆われた状態となる。

10 【0193】また、ゲート配線の保護を目的として設けられる窒化シリコン膜26はゲート絶縁膜22、第3不純物領域24、サイドウォール312及び各ゲート配線を覆うような形で形成される点で図1とは異なっている。

【0194】なお、本実施例の構成は実施例2～6のいずれの構成とも自由に組み合わせることが可能である。

20 【0195】〔実施例11〕実施例10ではNTFTの第3不純物領域がベアドープ工程によって形成され、PTFTの第4不純物領域がスルードープ工程によって形成されている。本実施例ではその逆に、NTFTの第3不純物領域をスルードープ工程によって形成し、PTFTの第4不純物領域をベアドープ工程によって形成する例を示す。

【0196】本実施例を実施する場合、図10(A)の状態ですルードープ工程を行った後、新たにNTFTを完全に覆うレジストマスクを設け、PTFTのみゲート絶縁膜305をエッチングすれば良い。

30 【0197】そうすることでNTFTの活性層のみがゲート絶縁膜で覆われた状態となり、PTFT側ではゲート配線の直下のみにゲート絶縁膜が残存する形となる。後の工程は実施例1に従えば良いので説明は省略する。ただし、第3不純物領域を形成するスルードープ工程だけはスルードープとなるので加速電圧を90 KeV程度に設定しておく必要がある。

【0198】なお、本実施例の構成は実施例2～6のいずれの構成とも自由に組み合わせることが可能である。

40 【0199】〔実施例12〕実施例1ではCMOS回路を例にとって説明したが、本実施例ではアクティブマトリクス型液晶表示パネルにおいて画素マトリクス回路(画素部)に本願発明を適用した場合について説明する。説明には図15を用いる。なお、図15(A)中においてA-A'で切断した断面構造図が図15(B)、その等価回路が図15(C)に相当する。また、図15(B)に示す画素TFTは同一構造のNTFTが直列に接続されたダブルゲート構造であるので、片方のみに符号を付して説明することとする。

50 【0200】まず、実施例1の工程に従って、基板1500上に下地膜1501、チャネル形成領域1502、第1不純物領域1503、第2不純物領域1504、第3不純物領域1505、1506、ゲート絶縁膜150

7、ゲート配線1509、サイドウォール1508、窒化シリコン膜1510、第1絶縁膜1511、ソース配線1512、ドレイン配線1513を形成する。

【0201】そして、各配線上にパッシベーション膜として窒化シリコン膜1514、第2絶縁膜1515とを形成する。さらに、その上に第3層間絶縁膜1516を形成し、ITO（酸化インジウムと酸化スズの化合物）、 $\text{SnO}_2$ 、酸化亜鉛と酸化インジウムの化合物等の透明導電膜からなる画素電極1518を形成する。また、1517も画素電極である。

【0202】また、容量部は、容量配線1522を上部電極とし、アンドープシリコン層（真性半導体層又は $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でボロンが添加された半導体層）1519と不純物領域1520（第1不純物領域1503と同濃度のリンを含む）とでなる下部電極とで、絶縁膜1521（ゲート絶縁膜1507と同時に形成される）を挟んで形成する。なお、容量配線1522は、画素TFTのゲート配線1509と同時に形成され、接地または固定電源に電氣的に接続される。

【0203】また、絶縁膜1521は、画素TFTのゲート絶縁膜1507と同一の材料で構成される。また、アンドープシリコン層1519は、画素TFTのチャネル形成領域1502と同じ材料で構成される。

【0204】このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。本実施例では一例として透過型LCDを例にとりて説明したがこれに限定されないことは言うまでもない。

【0205】例えば、画素電極の材料として反射性の導電材料を用い、画素電極のパターンの変更、または幾つかの工程の追加または削除を適宜行えば反射型のLCDを作製することが可能である。

【0206】また、本実施例では、画素マトリクス回路の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0207】なお、本実施例の構成は実施例1～11のいずれの構成とも自由に組み合わせることが可能である。

【0208】【実施例13】本実施例では、実施例12とは異なる構造の容量部を形成した例を図16に示す。基本的な構成は実施例12とほぼ同様であるので相違点のみに着目して説明する。本実施例の容量部は、第3不純物領域1601に接続されている不純物領域（第2不純物領域と同濃度のリンを含む）1602と、ゲート絶縁膜と同時に形成された絶縁膜1603と容量配線1604で形成されている。

【0209】また、ブラックマスク1605をTFT形

成側基板に設ける。なお、容量配線1604は画素TFTのソース配線及びドレイン配線と同時に形成され、接地または固定電源に電氣的に接続される。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～11のいずれの実施例との組み合わせも可能である。

【0210】【実施例14】本実施例では、実施例12、13とは異なる容量部を形成した例を図17に示す。基本的な構成は実施例12とほぼ同様であるので相違点のみに着目して説明する。まず、実施例1に従って、第2絶縁膜1702と、遮光性を有する導電材料からなるブラックマスク1703とを形成する。さらに、その上に第3絶縁膜1704を形成し、ITO、 $\text{SnO}_2$ 等の透明導電膜からなる画素電極1705を形成する。

【0211】なお、ブラックマスク1703は画素TFT部を覆い、且つ、ドレイン配線1701と容量部を形成している。この時、容量部の誘電体は第2絶縁膜1702である。また、第2層間絶縁膜1702の一部をエッチングして、パッシベーション膜として設けた窒化シリコン膜1706を露呈させ、窒化シリコン膜1706のみを誘電体として用いる構造とすることもできる。

【0212】このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～11のいずれの実施例との組み合わせも可能である。

【0213】【実施例15】本実施例について図18を用いて説明する。本実施例では、画素TFTのチャネル形成領域の下方に絶縁膜1801を介して、バックゲート電極1802、1803を形成する。なお、ここでいうバックゲート電極とは、しきい値電圧の制御やオフ電流を低減する目的で設けられた電極であり、活性層（チャネル形成領域）を挟んでゲート配線とは逆側に設けられた疑似的なゲート電極をいう。

【0214】バックゲート電極1802、1803は導電性材料であれば問題なく用いることができるが、本願発明では触媒元素のゲッタリング工程で550～650℃程度の熱処理工程があるため、その温度に耐える耐熱性を要求する。例えば、ポリシリコン膜（真性であっても不純物が添加されていても良い）を用いたシリコンゲート電極を用いることは有効である。

【0215】また、絶縁膜1801はバックゲート電極のゲート絶縁膜として機能するため、ピンホール等の少ない膜質の良い絶縁膜を用いる。本実施例では酸化窒化シリコン膜を用いるが、他にも酸化シリコン膜や窒化シリコン膜を用いることができる。ただし、その上にTFTが作製されるため、できるだけ平坦面を実現できるような材料が望ましい。

【0216】本実施例ではバックゲート電極1802、

1803に電圧を印加することによってチャネル形成領域の電界分布を電氣的に変化させ、しきい値電圧の制御やオフ電流の低減を可能とした。特に、本実施例のような画素TFTに対しては効果的である。

【0217】なお、本実施例の構成は実施例1～14のいずれの実施例とも自由に組み合わせることが可能である。

【0218】〔実施例16〕本実施例では本願発明を実施して形成したTFTで回路を組み、同一基板上にドライバ回路（シフトレジスタ回路、バッファ回路、サンプリング回路、信号増幅回路など）と画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示パネルを作製した場合の例について説明する。

【0219】実施例1ではCMOS回路を例にとって説明したが、本実施例ではCMOS回路を基本単位としたドライバ回路と、NTFTを画素TFTとした画素マトリクス回路とを同一基板上に形成する。なお、画素TFTはダブルゲート構造やトリプルゲート構造といったいわゆるマルチゲート構造でも良い。

【0220】なお、画素TFTは実施例1の工程に従ってソース配線及びドレイン配線まで形成した後、ドレイン配線に電氣的に接続するように画素電極を形成した構造とすれば良い。本願発明はNTFTの構造に特徴があり、これを画素TFTに適用することは公知の技術で容易であるため説明は省略する。

【0221】同一基板上にドライバ回路及び画素マトリクス回路を形成したら、配向膜を形成してTFT形成側基板（アクティブマトリクス基板）がほぼ完成する。本実施例では画素マトリクス回路に形成される各TFTに、電氣的に液晶素子（電極間に液晶を挟んだ構造を有する素子）を接続した構造とすることで液晶表示装置を得る。

【0222】まず、対向電極と配向膜とを備えた対向基板を用意し、アクティブマトリクス基板と対向基板との間に液晶材料を封入すれば図12に示す様な構造のアクティブマトリクス型液晶表示装置（液晶表示パネルまたは液晶モジュールともいう）が完成する。液晶材料を封入する工程は、公知のセル組工工程を用いれば良いので詳細な説明は省略する。

【0223】なお、図12において31は絶縁表面を有する基板、32は画素マトリクス回路、33はソースドライバ回路、34はゲイトドライバ回路、35は対向基板、36はFPC（フレキシブルプリントサーキット）、37はD/Aコンバータや補正回路などの信号処理回路である。なお、複雑な信号処理回路はICチップで形成して、そのICチップをCOGのように基板上に取り付けても良い。

【0224】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示パ

ネルやEC（エレクトロクロミックス）表示パネル、イメージセンサ等、他の電気光学装置に適用することも可能である。

【0225】また、本実施例の電気光学装置は実施例1～15のどのような組み合わせからなる構成を用いても実現することができる。

〔実施例17〕本願発明のTFT構造は実施例16に示した電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0226】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用しても良い。

【0227】また、本実施例の半導体回路は実施例1～15のどのような組み合わせからなる構成を用いても実現することができる。

【0228】〔実施例18〕本願発明を実施して形成されたTFTは様々な電気光学装置（実施例16）や半導体回路（実施例17）に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明は用いることができる。

【0229】その様な本願発明の電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、パーソナルコンピュータ用ディスプレイ、TV用ディスプレイ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイともいう）、ナビゲーションシステム（カーナビゲーション等）、パーソナルコンピュータ、画像再生装置（DVDプレイヤー、CDプレイヤー、MDプレイヤー等）、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図13、図23および図24に示す。

【0230】図13（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本願発明の半導体回路は音声出力部2002、音声入力部2003又はその他の信号制御回路に、本願発明の電気光学装置は表示部2004に用いることができる。

【0231】図13（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作

スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明の電気光学装置は表示部 2102 に、本願発明の半導体回路は音声入力部 2103 又はその他の信号制御回路に用いることができる。

【0232】図 13 (C) はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 で構成される。本願発明の電気光学装置は表示部 2205 に、本願発明の半導体回路はその他の信号制御回路に用いることができる。

【0233】図 13 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 で構成される。本願発明の電気光学装置は表示部 2302 に、本願発明の半導体回路はその他の信号制御回路に用いることができる。

【0234】図 23 (A) はパーソナルコンピュータであり、本体 2401、映像入力部 2402、表示部 2403、キーボード 2404 で構成される。本願発明の電気光学装置は表示部 2302 に、本願発明の半導体回路は映像入力部 2402 又はその他の信号制御回路に用いることができる。

【0235】図 23 (B) はテレビゲーム等の遊戯機器であり、記録媒体 2408、CPU（中央演算処理装置）2412 等が搭載された本体 2405、コントローラ 2409、表示装置 2407、本体 2405 に組み込まれた表示装置 2406 で構成される。本願発明の電気光学装置は表示部 2406、2407 に、本願発明の半導体回路は CPU 2402 又はその他の信号制御回路に用いることができる。

【0236】表示部 2407 と本体 2405 に組み込まれた表示部 2406 とは、同じ情報を表示してもよいし、前者を主表示部とし、後者を副表示部として記録媒体 2408 の情報を表示したり、機器の動作状態を表示したり、あるいはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体 2405 とコントローラ 2409 と表示部 2407 とは、相互に信号を伝達するために有線通信としてもよいし、センサ部 2410、2411 を設けて無線通信または光通信としてもよい。

【0237】図 23 (C) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2413、表示部 2414、スピーカ部 2415、記録媒体 2416、操作スイッチ 2417 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の電気光学装置は表示部 2414 に、本願発明の半導体回路はその他の信号制御回路に用いることができる。

【0238】図 23 (D) はデジタルカメラであり、本

体 2418、表示部 2419、接眼部 2420、操作スイッチ 2421、受像部（図示しない）で構成される。本願発明の電気光学装置は表示部 2419 に、本願発明の半導体回路はその他の信号制御回路に用いることができる。

【0239】図 24 (A) はフロント型プロジェクターであり、光学エンジンを含む投射装置 2601、スクリーン 2602 で構成される。本願発明の電気光学装置は投射装置 2601 の内部に設置され、本願発明の半導体回路はその他の信号制御回路に用いることができる。

【0240】図 24 (B) はリア型プロジェクターであり、筐体 2701、投射装置 2702、ミラー 2703、スクリーン 2704 で構成される。本願発明は投射装置 2702 の内部に設置され、本願発明の半導体回路はその他の信号制御回路に用いることができる。

【0241】なお、図 24 (C) は、図 24 (A) または図 24 (B) 中における投射装置 2601、2702 の構造の一例を示した図である。投射装置 2601、2702 は、光源光学系 2801、ミラー 2802、2805～2807、ダイクロイックミラー 2803、2804、光学レンズ 2808、2809、液晶表示装置 2810、プリズム 2811、投射光学系 2812 で構成される。投射光学系 2812 は、投射レンズを備えた光学系で構成される。本実施例は液晶表示装置 2810 を三つ使用する三板式の例を示したが、これに限定されず、単板式であってもよい。また、図 24 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【0242】また、図 24 (D) は、図 24 (C) 中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、光源 2813、2814、合成プリズム 2815、コリメータレンズ 2816、2820、レンズアレイ 2817、2818、偏光変換素子 2819 で構成される。なお、図 24 (D) に示した光源光学系は光源を 2 つ用いたが、光源を 3～4 つ、あるいはそれ以上用いてもよく、勿論、光源を 1 つ用いてもよい。また、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等を設けてもよい。

【0243】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～17 のどのような組み合わせからなる構成を用いても実現することができる。

【0244】〔実施例 19〕本実施例では実施例 1 とは異なる構成の CMOS 回路の作製工程について図 21 を用いて説明する。なお、途中の工程まではほぼ実施例 1 と同様であるため、変更点を説明する。

【0245】まず、実施例1の工程に従って図3 (D)の工程まで行う。但し、実施例1では活性層303、304の形成時に特開平7-130652号公報に記載された技術を用いているが、本実施例ではそのような触媒元素を用いなくて結晶化する例を示す。

【0246】本実施例では、50nm厚のアモルファスシリコン膜（非晶質シリコン膜）をCVD法またはスパッタ法により形成した後、KrFを励起ガスとするエキシマレーザー光を照射して結晶化する。勿論、XeClを励起ガスとするエキシマレーザーやNd:YAGレーザーの第3高調波または第4高調波を用いても良い。さらに、それらのレーザー光の断面形状を線状にすることでスループットを上げることも効果的である。

【0247】なお、本実施例では初期膜をアモルファスシリコン膜としてレーザー結晶化してポリシリコン膜を得ているが、初期膜として微結晶シリコン膜を用いても構わないし、直接ポリシリコン膜を成膜しても良い。勿論、成膜したポリシリコン膜にレーザーアニールを行っても良い。

【0248】また、レーザーアニールの代わりにファーンズアニールを行っても良い。即ち、600℃程度の電熱炉でアニールすることにより結晶化させても良い。

【0249】このように本実施例ではアモルファスシリコン膜を自然核発生により結晶化させ、それによって形成されたポリシリコン膜を用いて活性層303、304を形成する。そして、その他は実施例1の工程に従って図3 (D)の状態を得る。

【0250】次に、図21 (A)に示すように、NTFTの一部を覆うレジストマスク401とPTFTの全部を覆うレジストマスク402を形成する。そして、この状態で図3 (A)に示されるゲート絶縁膜305をドライエッチングにより加工してゲート絶縁膜403を形成する。

【0251】この時、ゲート絶縁膜403がサイドウォール312よりも外側に突出している部分の長さ（ゲート絶縁膜403が第2不純物領域314に接している部分の長さ）が、図1に示す第2不純物領域104の長さ（幅）を決定する。従って、レジストマスク316のマスク合わせは精度良く行うことが必要である。

【0252】図21 (A)の状態が得られたら、3回目のリンドーブ工程を行う。今回は露出した活性層にリンを添加することになるため、加速電圧を10KeVと低めに設定する。なお、こうして形成された第3不純物領域404にはリンが $5 \times 10^{20} \text{atoms/cm}^3$ の濃度で含まれるようにドーズ量を調節する。この時のリン濃度を(n+)で表すことにする。（図21 (B)）

【0253】この工程ではレジストマスク401によって遮蔽された部分にはリンが添加されないため、その部分には第2不純物領域314がそのまま残る。従って、ここで図1に示す第2不純物領域104が画定する。ま

た同時に、図1に示す第3不純物領域105が画定する。

【0254】この第2不純物領域314は2ndLDD領域として機能し、第3不純物領域404はソース領域又はドレイン領域として機能することになる。

【0255】次に、レジストマスク401、402を除去し、新たにNTFT全部を覆うレジストマスク406を形成する。そして、まずPTFTのサイドウォール313を除去し、さらにゲート絶縁膜305をドライエッチングしてゲート配線307と同形状のゲート絶縁膜407を形成する。（図21 (C)）

【0256】図21 (C)の状態が得られたら、ボロンドープ工程（ボロンの添加工程）を行う。ここでは加速電圧を10KeVとし、形成された第4不純物領域408に $3 \times 10^{20} \text{atoms/cm}^3$ の濃度でボロンが含まれるようにドーズ量を調節する。この時のボロン濃度を(p+)で表すことにする。（図21 (D)）

【0257】この時、ボロンもゲート配線307の内側に回り込んで添加されたため、チャネル形成領域311はゲート配線307の内側に形成される。また、この工程ではPTFT側に形成されていた第1不純物領域309及び第2不純物領域315をボロンで反転させてP型にしている。従って、実際にはもともと第1不純物領域だった部分と第2不純物領域だった部分とで抵抗値が変化するが、十分高い濃度でボロンを添加しているので問題とはならない。

【0258】こうすることで図1に示す第4不純物領域110が画定する。第4不純物領域408はゲート配線307をマスクとして完全に自己整合的に形成され、ソース領域又はドレイン領域として機能する。本実施例ではPTFTに対してLDD領域もオフセット領域も形成していないが、PTFTはもともと信頼性が高いので問題はなく、却ってLDD領域等を設けない方がオン電流を稼ぐことができるので都合が良い場合もある。

【0259】こうして最終的には図21 (D)に示すように、NTFTの活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、PTFTの活性層にはチャネル形成領域及び第4不純物領域が形成される。

【0260】そのようにして図21 (D)の状態が得られたら、第1絶縁膜409を1μmの厚さに形成する。第1絶縁膜409としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜（SiOxNyで示される絶縁膜）、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用する。

【0261】第1絶縁膜409を形成したら、金属材料でなるソース配線410、411及びドレイン配線412を形成する。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の三層配線を用いる。

【0262】また、第1絶縁膜409としてBCB（ベ

ンゾシクロブテン) と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低いため、配線材料として非常に有効である。

【0263】こうしてソース配線及びドレイン配線を形成したら、パッシベーション膜として50nm厚の窒化シリコン膜413を形成する。さらにその上には保護膜として第2層間絶縁膜414を形成する。この第2層間絶縁膜414としては前記第1絶縁膜409と同様の材料を用いることが可能である。本実施例では50nm厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用する。

【0264】以上のような工程を経て、図21(E)に示すような構造のCMOS回路が完成する。本実施例によって形成されたCMOS回路は、NTFTが優れた信頼性を有するため、回路全体として信頼性が大幅に控向上する。また、本実施例のような構造とすると、NTFTとPTFTとの特性バランス(電気特性のバランス)が良くなるため、動作不良を起こしにくくなる。

【0265】なお、本実施例2、3、9~15のいずれの構成とも自由に組み合わせて実施することが可能であり、実施例16~18のいずれの構成にも適用しうる。

【0266】〔実施例20〕本実施例では、本願発明を用いてEL(エレクトロルミネッセンス)表示パネル(EL表示装置ともいう)を作製した例について説明する。なお、本実施例では本願発明を用いて作製したTFTに、電気的にEL素子(電極間にEL層を挟んだ構造を有する素子)を接続した構造とすることでEL表示装置を得る。

【0267】図25(A)は本願発明を用いたEL表示装置の上面図である。図25(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0268】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてシーリング材(ハウジング材ともいう)4018を設ける。なお、シーリング材4018は素子部を囲めるような凹部を持つガラス板またはプラスチック板を用いても良いし、紫外線硬化樹脂を用いても良い。シーリング材4018として素子部を囲めるような凹部を持つプラスチック板を用いた場合、接着剤4019によって基板4010に固着させ、基板4010との間に密閉空間を形成する。このとき、EL素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。

【0269】さらに、シーリング材4018と基板4010との間の空隙4020には不活性ガス(アルゴン、ヘリウム、窒素等)や樹脂を充填しておいたり、酸化バリウム等の乾燥剤を設けておくことが望ましい。これに

よりEL素子の水分等による劣化を抑制することが可能である。

【0270】また、図25(B)は本実施例のEL表示パネルの断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではNTFTとPTFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。駆動回路用TFT4022としては、図1に示したNTFT及びPTFTを用いれば良い。また、画素部用TFT4023には図1に示したNTFTまたはPTFTを用いれば良い。

【0271】本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料となる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する遮光性の導電膜でなる画素電極(陰極)4027を形成する。画素電極4027としては、アルミニウム合金、銅合金、銀合金またはそれらと他の導電膜との積層膜を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0272】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0273】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0274】EL層4029を形成したら、その上に陽極4030を形成する。陽極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陽極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陽極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0275】なお、本実施例では陽極4030として、酸化インジウムと酸化スズとの化合物でなる導電膜または酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。どちらも透明導電膜である。そして陽極4030は4031で示される領域において配線4016に接続される。配線4016は陽極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0276】4031に示された領域において陽極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0277】また、配線4016はシーリング材4018と基板4010との間を隙間（但し接着剤4019で塞がれている。）を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材4018の下を通してFPC4017に電氣的に接続される。

【0278】以上のような構成でなるEL表示装置において、本願発明を用いることができる。ここで画素部のさらに詳細な断面構造を図26に、上面構造を図27（A）に、回路図を図27（B）に示す。図26、図27（A）及び図27（B）では共通の符号を用いるので互いに参照すれば良い。

【0279】図26において、基板4101上に設けられたスイッチング用TFT4102は本願発明のNTFTを用いて形成される。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のPTFTを用いて形成しても構わない。

【0280】また、電流制御用TFT4103は本願発明のNTFTを用いて形成される。このとき、スイッチング用TFT4102のドレイン配線4135は配線4136によって電流制御用TFTのゲート電極4137に電氣的に接続されている。また、4138で示される配線は、スイッチング用TFT4102のゲート電極4

139a、4139bを電氣的に接続するゲート配線である。

【0281】このとき、電流制御用TFT4103が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極（厳密にはゲート電極として機能するサイドウォール）に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0282】また、本実施例では電流制御用TFT4103をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0283】また、図27（A）に示すように、電流制御用TFT4103のゲート電極4137となる配線は4104で示される領域で、電流制御用TFT4103のドレイン配線4140と絶縁膜を介して重なる。このとき、4104で示される領域ではコンデンサが形成される。このコンデンサ4104は電流制御用TFT4103のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線4140は電流供給線（電源線）4101に接続され、常に一定の電圧が加えられている。

【0284】スイッチング用TFT4102及び電流制御用TFT4103の上には第1パッシベーション膜4141が設けられ、その上に樹脂絶縁膜でなる平坦化膜4142が形成される。平坦化膜4142を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0285】また、4143は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT4103のドレインに電氣的に接続される。画素電極4143としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0286】また、絶縁膜（好ましくは樹脂）で形成されたバンク4144a、4144bにより形成された溝（画素に相当する）の中に発光層4144が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては



π共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン (PPV) 系、ポリビニルカルバゾール (PVK) 系、ポリフルオレン系などが挙げられる。

【0287】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0288】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm (好ましくは40~100nm) とすれば良い。

【0289】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。

【0290】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0291】本実施例では発光層4145の上にPEDOT (ポリチオフェン) またはPAni (ポリアニリン) でなる正孔注入層4146を設けた積層構造のEL層としている。そして、正孔注入層4146の上には透明導電膜でなる陽極4147が設けられる。本実施例の場合、発光層4145で生成された光は上面側に向かって (TFTの上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0292】陽極4147まで形成された時点でEL素子4105が完成する。なお、ここでいうEL素子4105は、画素電極 (陰極) 4143、発光層4145、正孔注入層4146及び陽極4147で形成されたコンデンサを指す。図27 (A) に示すように画素電極4143は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0293】ところで、本実施例では、陽極4147の上にさらに第2パッシベーション膜4148を設けてい

る。第2パッシベーション膜4148としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0294】以上のように本願発明のEL表示装置は図26のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示装置が得られる。

【0295】なお、本実施例の構成は、実施例2~13、15または19の構成と自由に組み合わせて実施することが可能である。また、実施例18の電子機器の表示部として本実施例のEL表示装置を用いることは有効である。

【0296】〔実施例21〕本実施例では、実施例20に示した画素部において、EL素子4105の構造を反転させた構造について説明する。説明には図28を用いる。なお、図27 (A) の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0297】図28において、電流制御用TFT4301は本願発明のPTFTを用いて形成される。作製プロセスは実施例1を参照すれば良い。

【0298】本実施例では、画素電極 (陽極) 4150として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0299】そして、絶縁膜でなるバンク4151a、4151bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層4152が形成される。その上にはアルカリ金属錯体 (好ましくはカリウムアセチルアセトネート) でなる電子注入層4153、アルミニウム合金でなる陰極4154が形成される。この場合、陰極4154がパッシベーション膜としても機能する。こうしてEL素子4302が形成される。

【0300】本実施例の場合、発光層4153で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用TFT4301はPTFTで形成することが好ましい。

【0301】なお、本実施例の構成は、実施例2~13、15または19の構成と自由に組み合わせて実施することが可能である。また、実施例18の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0302】〔実施例22〕本実施例では、図27

(B) に示した回路図とは異なる構造の画素とした場合の例について図 29 に示す。なお、本実施例において、5001 はスイッチング用 TFT 5002 のソース配線、5003 はスイッチング用 TFT 5002 のゲート配線、5004 は電流制御用 TFT、5005 はコンデンサ、5006、5008 は電流供給線、5007 は EL 素子とする。

【0303】図 29 (A) は、二つの画素間で電流供給線 5006 を共通とした場合の例である。即ち、二つの画素が電流供給線 5006 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0304】また、図 29 (B) は、電流供給線 5008 をゲート配線 5003 と平行に設けた場合の例である。なお、図 29 (B) では電流供給線 5008 とゲート配線 5003 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 5008 とゲート配線 5003 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0305】また、図 29 (C) は、図 29 (B) の構造と同様に電流供給線 5008 をゲート配線 5003 と平行に設け、さらに、二つの画素を電流供給線 5008 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 5008 をゲート配線 5003 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0306】なお、本実施例の構成は、実施例 20 または 21 の構成と自由に組み合わせて実施することが可能である。また、実施例 18 の電子機器の表示部として本実施例の画素構造を有する EL 表示パネルを用いることは有効である。

【0307】【実施例 23】実施例 20 に示した図 27 (A)、図 27 (B) では電流制御用 TFT 4103 のゲートにかかる電圧を保持するためにコンデンサ 4104 を設ける構造としているが、コンデンサ 4104 を省略することも可能である。

【0308】実施例 20 の場合、電流制御用 TFT 4103 として図 26 に示すような本願発明の NTFT を用いているため、ゲート絶縁膜を介してゲート電極（厳密にはサイドウォール）と重なるように設けられた LDD 領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 4104 の代わりとして積極的に用いる点に特徴がある。

【0309】この寄生容量のキャパシタンスは上記サイドウォールと LDD 領域とが重なり合った面積によって

変化するため、その重なり合った領域に含まれる LDD 領域の長さによって決まる。

【0310】また、実施例 22 に示した図 29 (A)、(B)、(C) の構造においても同様にコンデンサ 5005 を省略することは可能である。

【0311】なお、本実施例の構成は、実施例 20 または 21 の構成と自由に組み合わせて実施することが可能である。また、実施例 18 の電子機器の表示部として本実施例の画素構造を有する EL 表示パネルを用いることは有効である。

【0312】【実施例 24】本実施例の EL 表示装置について図 30 (A)、(B) を用いて説明する。図 25 ~ 図 29 と同じ番号のものは同じ番号を指しているのて説明は省略する。また、図 30 (A) は本実施例の EL 表示装置の上面図であり、図 30 (A) を A-A' で切断した断面図を図 30 (B) に示す。

【0313】まず実施例 20 と同様に EL 素子の陽極 4030 までは形成する。そして EL 素子の表面を覆ってパシベーション膜 6003 を形成する。さらに、EL 素子を覆うようにして充填材 6004 を設ける。この充填材 6004 はカバー材 6000 を接着するための接着剤としても機能する。充填材 6004 としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。この充填材 6004 の内部に乾燥剤を設けておくと、吸湿効果を保ち続けられるので好ましい。

【0314】また、カバー材 6000 としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフロライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、本実施例では発光層で発した光が陽極 4030 側へ放射されるため、カバー材 6000 は透明なものを用いる。

【0315】次に、充填材 6004 を用いてカバー材 6000 を接着した後、充填材 6004 の側面（露呈面）を覆うようにフレーム材 6001 を取り付ける。フレーム材 6001 はシール材（接着剤として機能する）6002 によって接着される。このとき、シール材 6002 としては、光硬化性樹脂を用いるのが好ましいが、EL 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材 6002 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材 6002 の内部に乾燥剤を添加してあっても良い。

【0316】なお、本実施例の構成は実施例 21 に示した EL 表示装置に対して用いることも可能である。

【0317】【実施例 25】本実施例の EL 表示装置について図 31 (A)、(B) を用いて説明する。図 25 ~ 図 29 と同じ番号のものは同じ番号を指しているのて

説明は省略する。また、図 31 (A) は本実施例の EL 表示装置の上面図であり、図 31 (A) を A-A' で切断した断面図を図 31 (B) に示す。

【0318】本実施例では実施例 24 との差異についてのみ説明する。実施例 24 ではカバー材 6000 を充填材 6004 により接着したあと、フレーム材 6001 を取り付けしたが、本実施例ではカバー材 6000 を、基板上に形成したシール材 (第 1 のシール材) 7000 により接着し、第 1 のシール材 7000 で囲まれた領域の内側に充填材 7002 を充填する。さらに、第 1 のシール材 7000 の外側を別のシール材 (第 2 のシール材) 7001 で覆う。第 2 のシール材 7001 は FPC4017 も覆うように形成することが好ましい。

【0319】なお、本実施例の構造は実施例 21 に示した EL 表示装置に対して用いることも可能である。

#### 【0320】

【発明の効果】本願発明を実施することで、NTFT の信頼性を高めることが可能となる。従って、厳しい信頼性が要求される高い電気特性 (特に高いモビリティ) を有する NTFT の信頼性を確保することが可能となる。また同時に、特性バランスに優れた NTFT と PTFT とを組み合わせることで CMOS 回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できる。

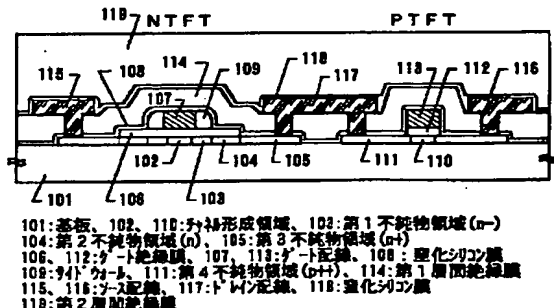
【0321】さらに、本願発明では半導体の結晶化に用いた触媒元素を低減することができるため、不安定要因の少ない半導体装置を実現できる。しかも触媒元素を低減する工程はソース領域及びドレイン領域の形成及び活性化と同時に進められるため、スループットを低下させるようなこともない。

【0322】また、以上のように TFT で組む回路の信頼性を高めることで電気光学装置、半導体回路、さらには電子機器も含む全ての半導体装置の信頼性を確保することが可能となる。

#### 【図面の簡単な説明】

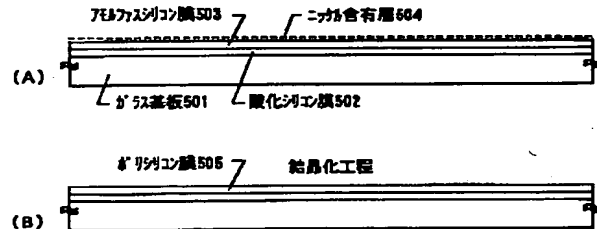
【図 1】 CMOS 回路の断面を示す図。

【図 1】

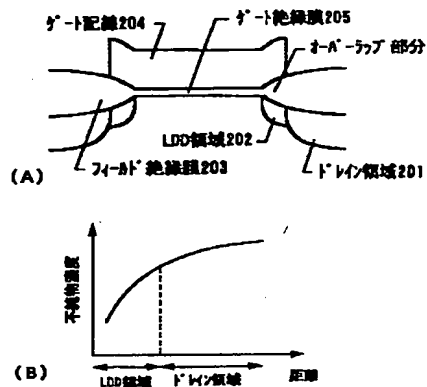


- 【図 2】 MOSFET の断面構造を示す図。
- 【図 3】 CMOS 回路の作製工程を示す図。
- 【図 4】 CMOS 回路の作製工程を示す図。
- 【図 5】 ポリシリコン膜の作製工程を示す図。
- 【図 6】 ポリシリコン膜の作製工程を示す図。
- 【図 7】 ポリシリコン膜の作製工程を示す図。
- 【図 8】 CMOS 回路の作製工程を示す図。
- 【図 9】 CMOS 回路の作製工程を示す図。
- 【図 10】 CMOS 回路の作製工程を示す図。
- 【図 11】 CMOS 回路の作製工程を示す図。
- 【図 12】 電気光学装置の外観を示す図。
- 【図 13】 電子機器の一例を示す図。
- 【図 14】 CMOS 回路を上面からみた図。
- 【図 15】 画素マトリクス回路の構造を示す図。
- 【図 16】 画素マトリクス回路の構造を示す図。
- 【図 17】 画素マトリクス回路の構造を示す図。
- 【図 18】 画素マトリクス回路の構造を示す図。
- 【図 19】 各種 TFT 構造を比較するための図。
- 【図 20】 NTFT (オフ状態) のエネルギーバンドを示す図。
- 【図 21】 CMOS 回路の作製工程を示す図。
- 【図 22】 ポリシリコン膜の作製工程を示す図。
- 【図 23】 電子機器の一例を示す図。
- 【図 24】 電子機器の一例を示す図。
- 【図 25】 EL 表示装置の上面構造及び断面構造を示す図。
- 【図 26】 EL 表示装置の断面構造を示す図。
- 【図 27】 EL 表示装置の上面構造及び回路構成を示す図。
- 【図 28】 EL 表示装置の断面構造を示す図。
- 【図 29】 EL 表示装置の回路構成を示す図。
- 【図 30】 EL 表示装置の上面構造及び断面構造を示す図。
- 【図 31】 EL 表示装置の上面構造及び断面構造を示す図。

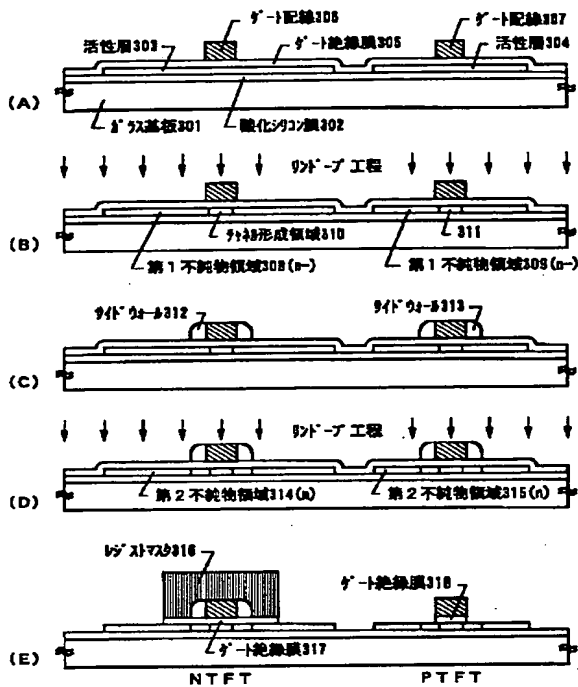
【図 5】



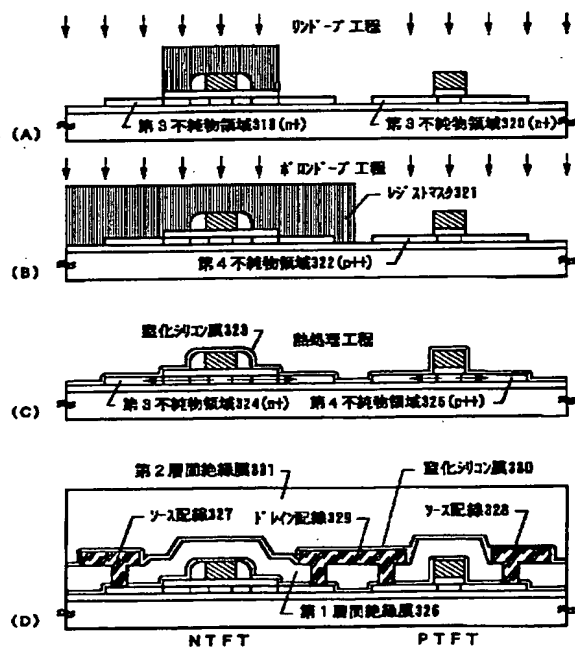
【図2】



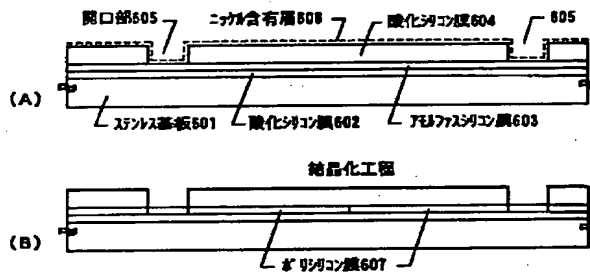
【図3】



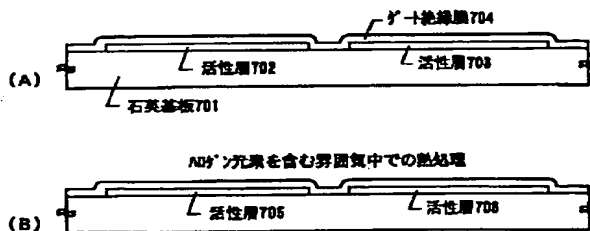
【図4】



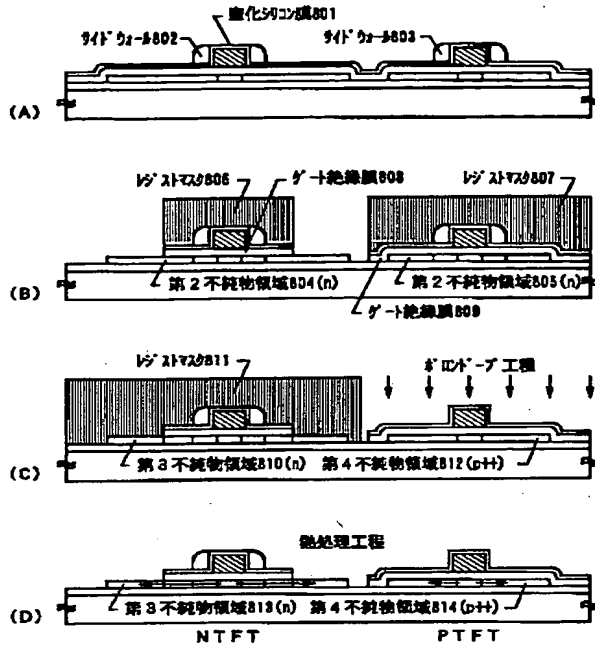
【図6】



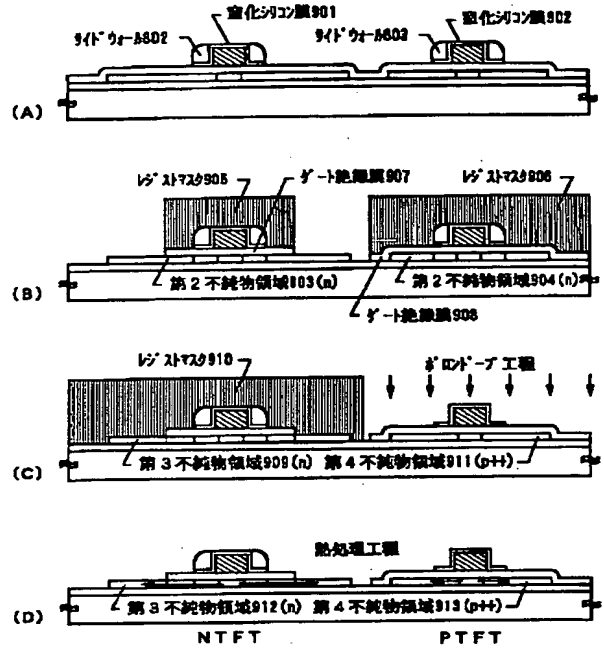
【図7】



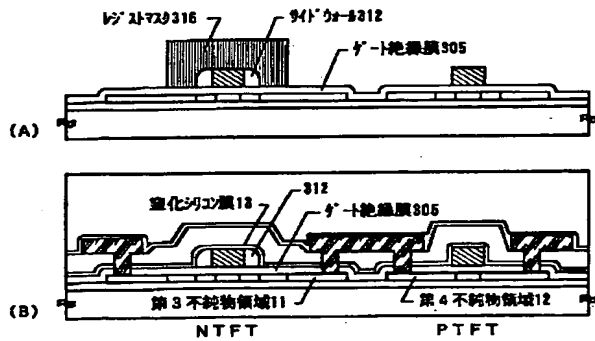
【図8】



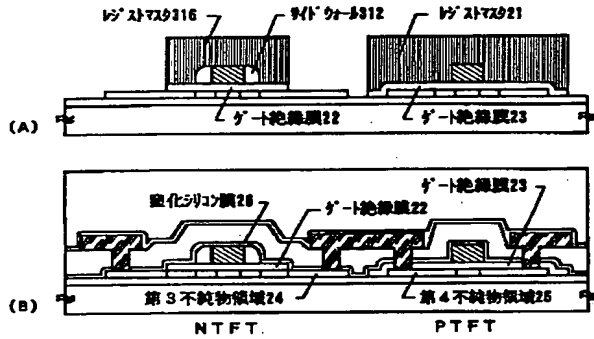
【図9】



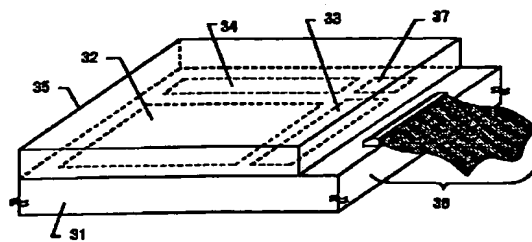
【図10】



【図11】

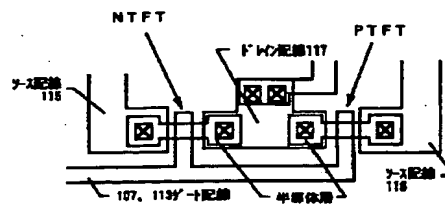


【図12】

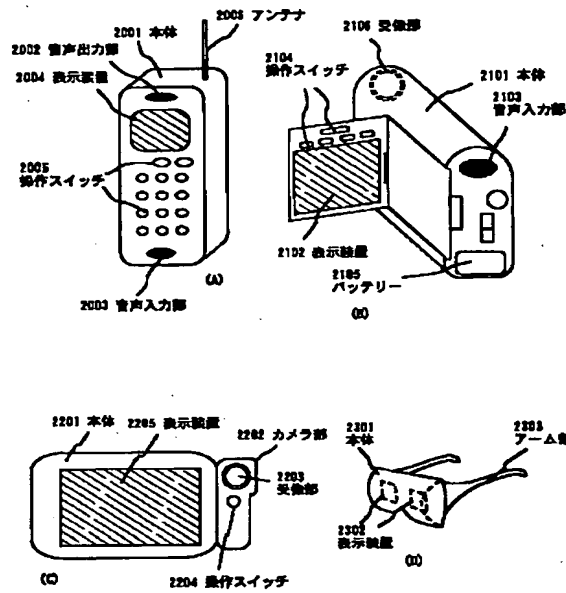


31: 絶縁体層を有する基板 32: 高抵抗マトリクス回路  
 33: ソース/ドレイン電極 34: ゲイト/ドレイン電極 35: 対向基板  
 36: FPC 37: 信号処理回路

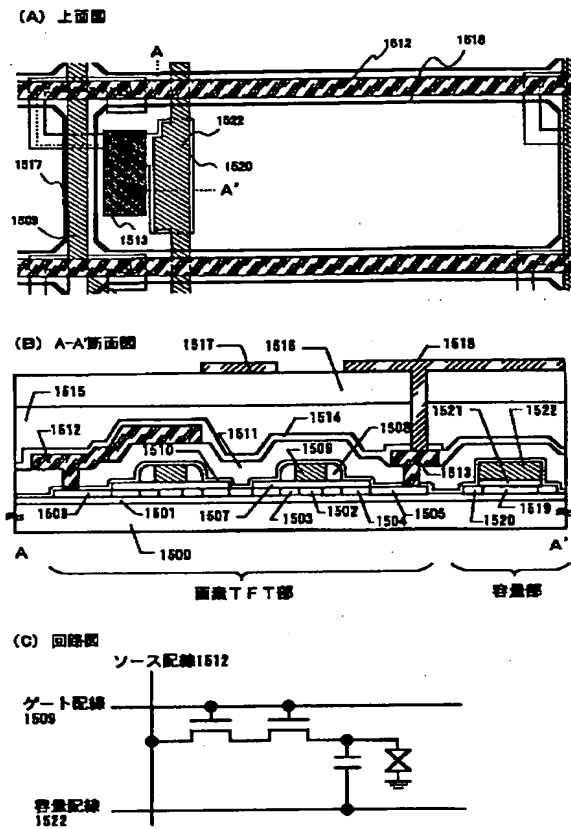
【図14】



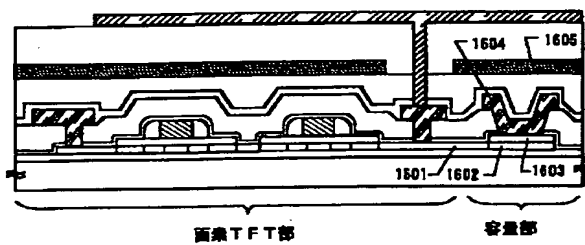
【図13】



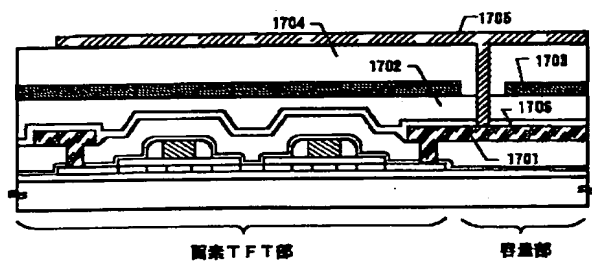
【図15】



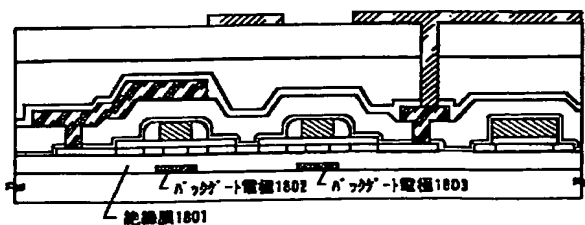
【図16】



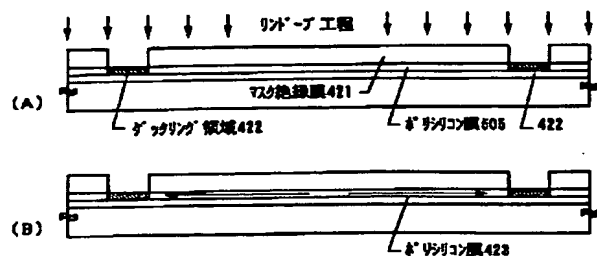
【図17】



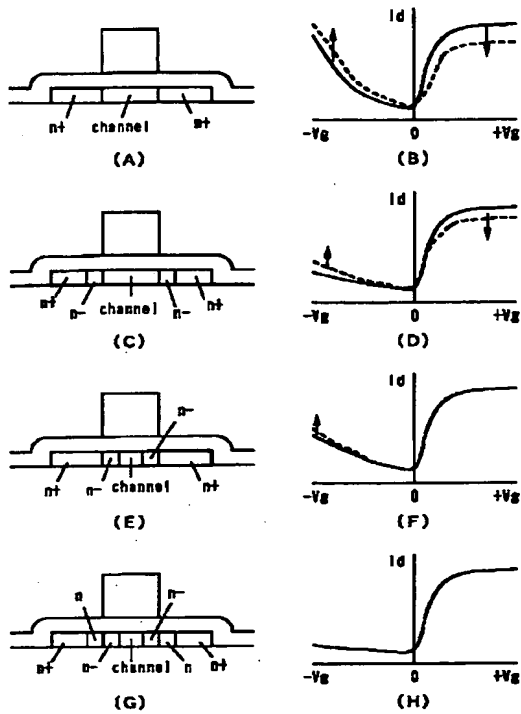
【図18】



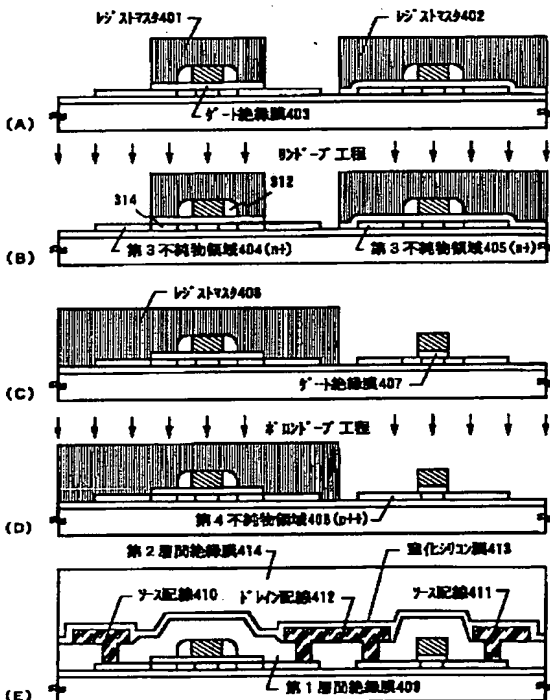
【図22】



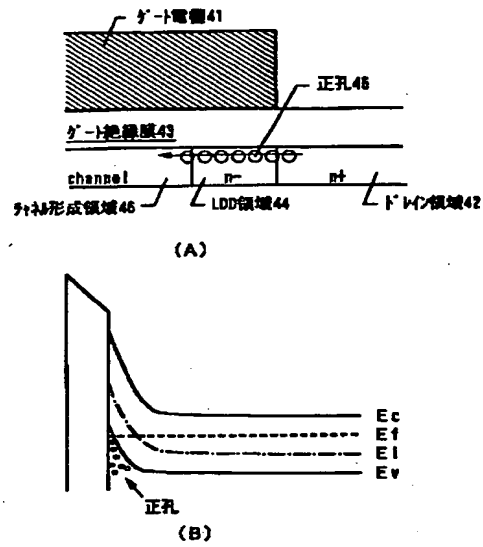
【図19】



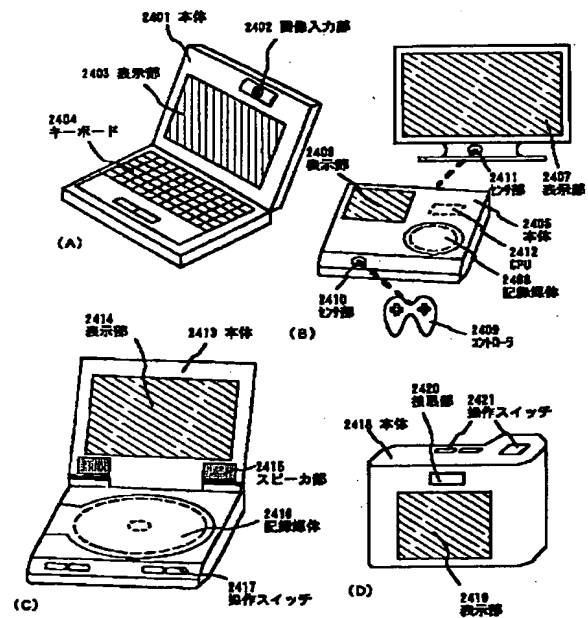
【図21】



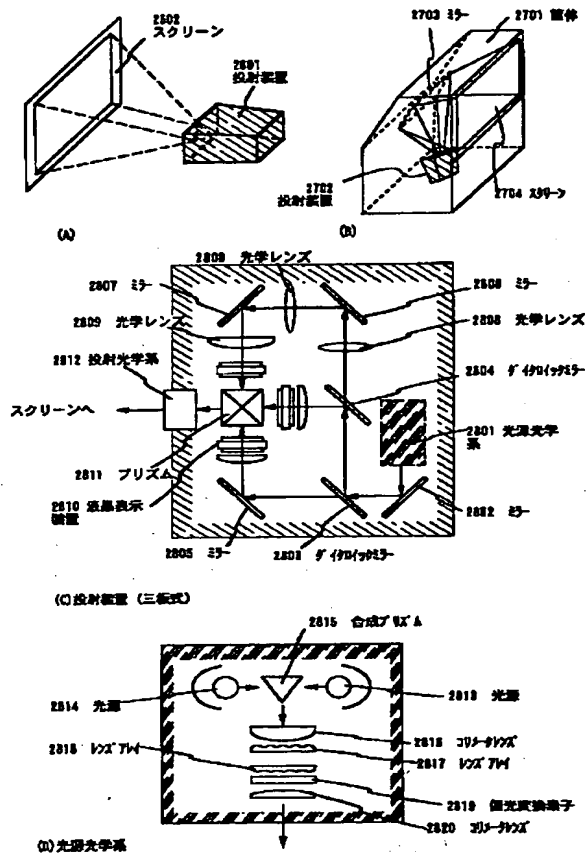
【図20】



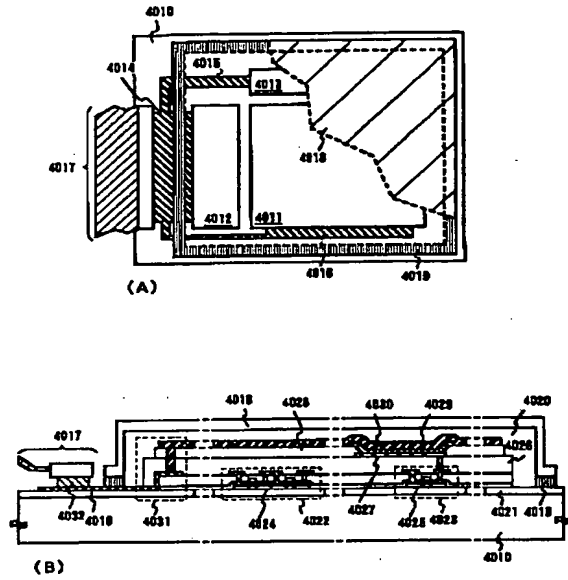
【図23】



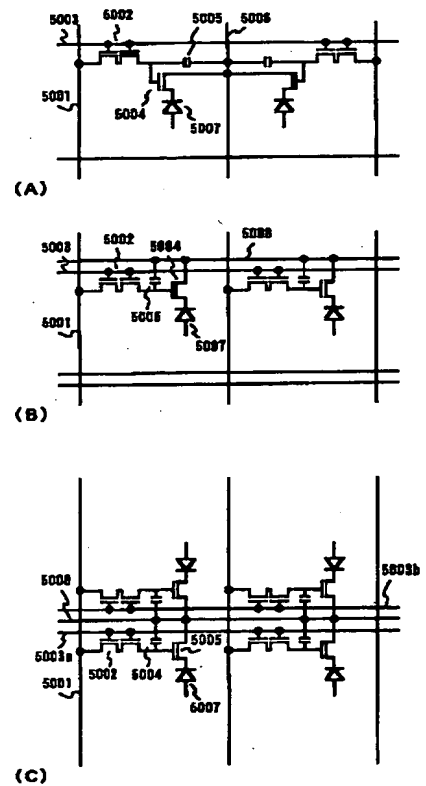
【図24】



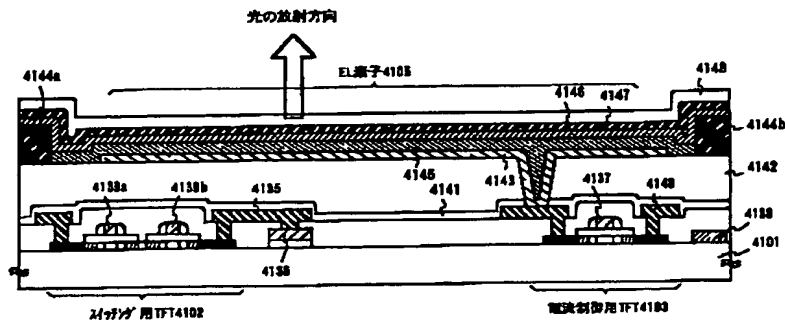
【図25】



【図29】

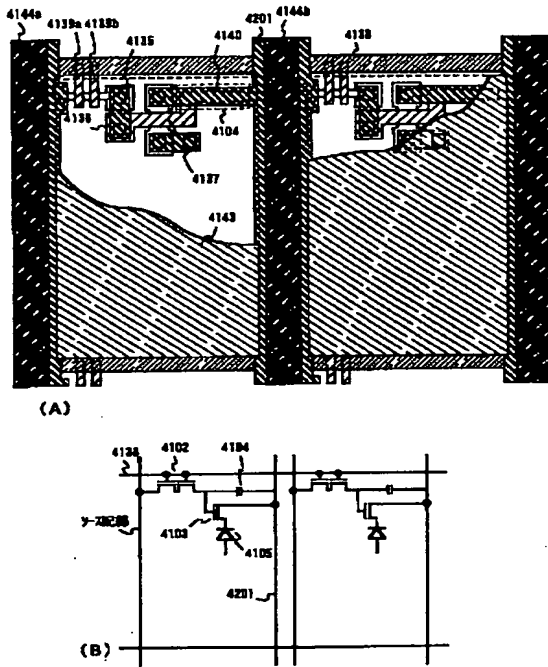


【図26】

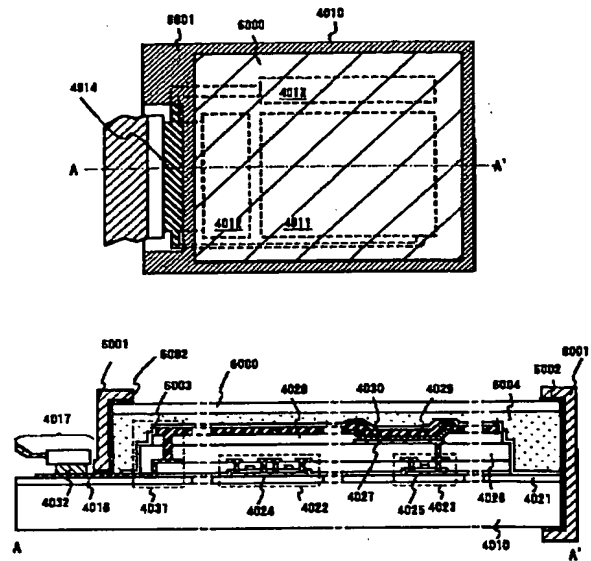




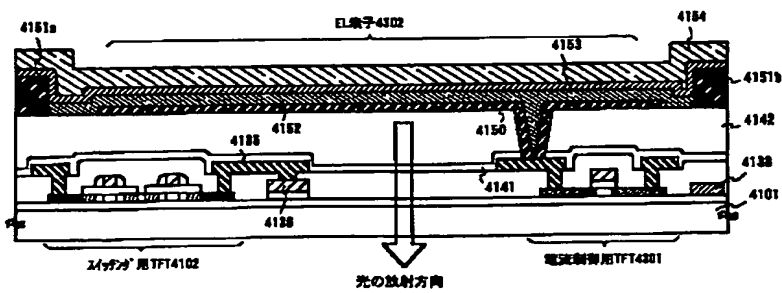
【図27】



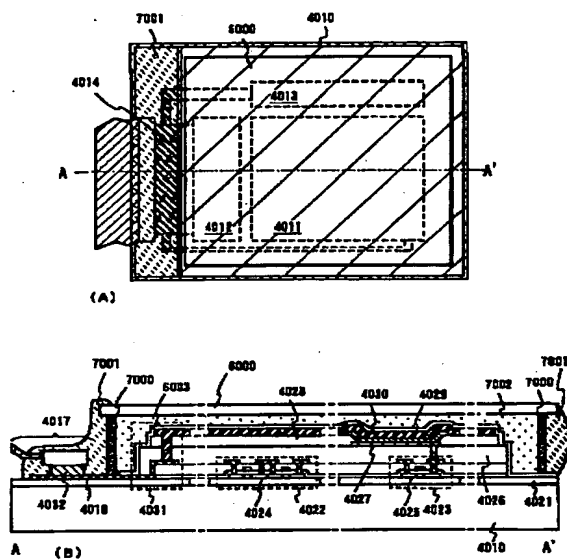
【図30】



【図28】



【図 31】



フロントページの続き

(51) Int. Cl. <sup>7</sup>  
H01L 27/08

識別記号  
331

F I  
H01L 29/78

テーマコード\* (参考)  
627G